

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 6 月 2 日 (02.06.2005)

PCT

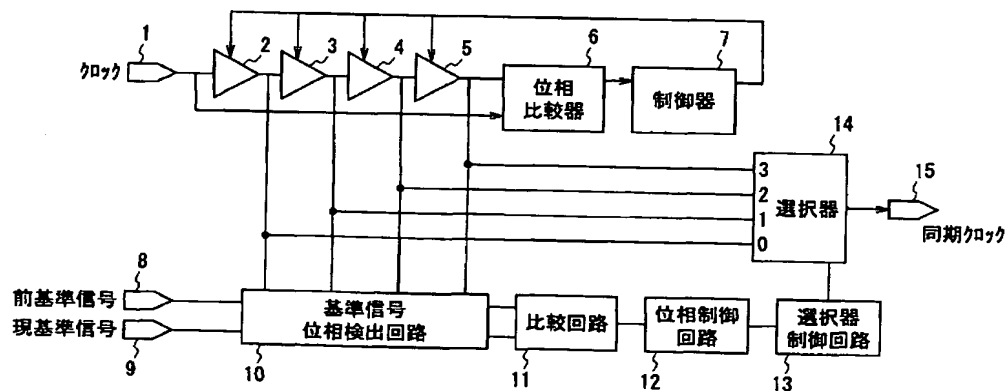
(10) 国際公開番号
WO 2005/050843 A1

- (51) 国際特許分類⁷: H03K 5/13, 5/26, H04N 5/04
(21) 国際出願番号: PCT/JP2004/017296
(22) 国際出願日: 2004 年 11 月 19 日 (19.11.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2003-391461
2003 年 11 月 20 日 (20.11.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 國谷 久雄 (KUNITANI, Hisao). 谷川 悟 (TANIGAWA, Satoru). 園部 浩之 (SONOBE, Hiroshi). 影山 敦久 (KAGEYAMA, Atsuhisa).
(74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 4 番 3 0 号 ニッセイ新大阪ビル 1 3 階 早瀬特許事務所 Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



- 1...CLOCK
6...PHASE COMPARATOR
7...CONTROLLER
14...SELECTOR
15...SYNC CLOCK
8...PREVIOUS REFERENCE SIGNAL
9...CURRENT REFERENCE SIGNAL
10...REFERENCE SIGNAL PHASE DETERMINING CIRCUIT
11...COMPARATOR CIRCUIT
12...PHASE CONTROL CIRCUIT
13...SELECTOR CONTROL CIRCUIT

(57) Abstract: A semiconductor device wherein the duty of clocks to be outputted can be kept constant. For this purpose, the clocks are not instantaneously switched, but delay cells are shifted one by one such that the phase status of a current reference signal is coincident with that of the previous reference signal, whereby the clocks are switched in, at the maximum, $N+1/N$ clocks (where N is an integer equal to or greater than two) to precisely synchronize the clock with the reference signal. According to this semiconductor device, even when a signal is inputted in which a reference signal is not synchronized with the clock, and a reset is made for a rising edge of the reference signal, the clock duty can be prevented from being discontinuous.

(57) 要約: 本発明の半導体装置は、瞬時にクロックを切り替えるのではなく、前基準信号の位相状態と現基準信号の位相状態が一致するようにディレイセルを 1 段ずつ移動させて、最大 $N+1/N$ クロック (N は 2 以上の整数) かけて切り替えて、正確に基準信号にクロックを同期させ、出力されるクロックの DUTY を一定に保つようにした。このような本発明の半導体装置によれば、基準信号がクロックに同期していない様な信号が入

[続葉有]



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

技術分野

[0001] 本発明は、クロック信号を映像信号における水平同期信号等の基準信号に同期させるためのものである。

背景技術

[0002] 近年、映像信号処理のデジタル化が進んでおり、映像信号処理において水平同期信号等の基準信号に同期させたクロックを用いて処理する半導体装置が利用されている。その技術の一例として、特開2002-290218号公報に記載された半導体装置がある。

このような従来の半導体装置の構成例を図21に示す。

[0003] 図21(a)に示す従来の半導体装置は、クロック入力端子101、遅延素子102～105、位相比較器106、制御器107、基準信号入力端子108、選択器109及び同期クロック出力端子110を有している。

[0004] 上記遅延素子102～105は、上記クロック入力端子101に入力されたクロックを1/4クロックずつ位相シフトさせる。

[0005] 上記位相比較器106は、上記入力クロックの1クロック後の位相と、上記遅延素子105の出力クロックの位相とを比較する。

[0006] 上記制御器107は、上記位相比較器106の出力に基づいて上記遅延素子102～105の遅延値を制御する。

[0007] 上記選択器109は、上記遅延素子102～105の各々から出力されるクロックのうち、上記基準信号入力端子108に入力された基準信号の位相に最も近い位相のクロックを同期クロックとして選択し、上記同期クロック出力端子110を介して外部へ出力する。

[0008] 以上のように構成された従来の半導体装置の動作について図21(b)を用いて説明する。

[0009] クロック入力端子101に入力されたクロックは、4段の遅延素子102～105により遅

延される。そして、位相比較器106にて、上記クロック入力端子101に入力されたクロックの1クロック後の位相と、上記遅延素子105から出力されるクロックの位相を比較し、該比較の結果、検出された位相差に基づいて制御器107により上記各遅延素子102〜105の制御値が制御される。

- [0010] 選択器109では、上記制御された各遅延素子102〜105から出力される遅延クロックのうち、基準信号のエッジの後部で、かつ該基準信号の位相に一番近いエッジのクロックを選択する。ここでは、遅延素子103から出力されるクロックを同期クロックとして選択し、同期クロック出力端子110を介して出力する。

特許文献1:特開2002-290218号公報

発明の開示

発明が解決しようとする課題

- [0011] しかしながら、アナログHパルスなどの基準信号がクロックに同期していない信号の場合、この基準信号の立ち上がりに対してリセットをかけると、リセット信号のエッジに一番近い位相のクロックが瞬時に選択されるため、クロックのDUTYが不連続になる部分が1箇所存在してしまう。また、クロックDUTYに不連続箇所を持たせたまま、後の信号処理を行うと、演算の途中で信号が抜けたりし、これにより、データとクロックとの間のタイミング制約を満足することができなくなったりするといった問題が発生する。

- [0012] 本発明は、上記従来の問題点を解決するもので、正確に基準信号にクロックを同期させることができ、かつ出力される同期クロックのDUTYを一定に保つことができる半導体装置を提供することを目的としている。

課題を解決するための手段

- [0013] 上記課題を解決するために、本発明の請求項1にかかる半導体装置は、入力クロックをN段の遅延素子により $1/N$ クロックずつ位相シフトさせ、該各遅延素子から出力されるクロックのうち、基準信号に最も同期するクロックを選択器により選択し同期クロックとして出力する半導体装置において、上記 $1/N$ クロックずつ位相シフトされたクロックと現基準信号との位相差、及び上記 $1/N$ クロックずつ位相シフトされたクロックと上記現基準信号の1ライン前の前基準信号との位相差に基づいて、現基準信号及

び前基準信号の位相状態を検出する基準信号位相検出回路と、上記基準信号位相検出回路にて検出された上記現基準信号、及び上記前基準信号の位相状態を比較する比較回路と、上記比較回路にて上記現基準信号と上記前基準信号の位相状態が一致していないことを検出したとき、上記現基準信号のクロックの位相状態を位相シフトさせて上記前基準信号の位相状態に一致させる位相制御回路と、上記位相制御回路の出力に基づいて上記選択器を制御する選択器制御回路とを備えた、ことを特徴とする。

- [0014] これにより、出力される同期クロックのDUTYを常に一定に保つことができ、その結果、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能となる。
- [0015] また、本発明の請求項2にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、クロック数を1ステップずつカウントアップさせて上記位相制御を行う、ことを特徴とする。
- [0016] これにより、現基準信号の位相が前基準信号よりも遅れている場合、現基準信号の位相を段階的に進ませて前基準信号の位相に合わせることができ、その結果、位相制御された基準信号を用いて同期クロックを選択出力できるため、同期クロックのDUTYを常に一定に保つことができる。
- [0017] また、本発明の請求項3にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、クロック数を1ステップずつカウントダウンさせて上記位相制御を行う、ことを特徴とする。
- [0018] これにより、現基準信号の位相が前基準信号よりも進んでいる場合、現基準信号の位相を段階的に遅らせて前基準信号の位相に合わせることができ、その結果、位相制御された基準信号を用いて同期クロックを選択出力できるため、同期クロックのDUTYを常に一定に保つことができる。
- [0019] また、本発明の請求項4にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が $(1+N)/N$ クロック幅で、上記前基準信号の位相に近い方向に位相シフトさせ

る、ことを特徴とする。

- [0020] これにより、現基準信号と前基準信号の位相が一致していないとき、現基準信号のクロックの位相を段階的に位相シフトさせて前基準信号の位相に合わせることができ、その結果、同期クロックのDUTYを常に一定に保つことができる。
- [0021] また、本発明の請求項5にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が $(1-N)/N$ クロック幅で、上記前基準信号の位相に近い方向に位相シフトさせる、ことを特徴とする。
- [0022] これにより、現基準信号と前基準信号の位相が一致していないとき、現基準信号のクロックの位相を段階的に位相シフトさせて前基準信号の位相に合わせることができ、その結果、同期クロックのDUTYを常に一定に保つことができる。
- [0023] また、本発明の請求項6にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以上となる方向へ位相シフトさせて上記前基準信号の位相に近づける、ことを特徴とする。
- [0024] これにより、現基準信号と前基準信号の位相が一致していないとき、現基準信号のクロックの位相を段階的に位相シフトさせて前基準信号の位相に合わせることができ、その結果、同期クロックのDUTYを常に一定に保つことができる。
- [0025] また、本発明の請求項7にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以下となる方向へ位相シフトさせ、上記前基準信号の位相に近づける、ことを特徴とする。
- [0026] これにより、現基準信号と前基準信号の位相が一致していないとき、現基準信号のクロックの位相を段階的に位相シフトさせて前基準信号の位相に合わせることができ、その結果、同期クロックのDUTYを常に一定に保つことができる。
- [0027] また、本発明の請求項8にかかる半導体装置は、請求項1ないし請求項7のいずれかに記載の半導体装置において、上記位相制御回路は、1クロック単位でクロック数をカウントし、該カウント値に基づいて上記位相制御を行う、ことを特徴とする。

これにより、1クロック単位で現基準信号のクロックの位相制御を行うことができる。

- [0028] また、本発明の請求項9にかかる半導体装置は、請求項1ないし請求項7のいずれかに記載の半導体装置において、上記位相制御回路は、 $1/M$ (M は2以上の整数)ライン単位でクロック数をカウントし、該カウント値に基づいて上記位相制御を行う、ことを特徴とする。

これにより、 $1/M$ ライン単位で現基準信号のクロックの位相制御を行うことができる。

- [0029] また、本発明の請求項10にかかる半導体装置は、請求項1ないし請求項7のいずれかに記載の半導体装置において、上記位相制御回路は、1ライン単位でクロック数をカウントし、該カウント値に基づいて上記位相制御を行う、ことを特徴とする。

これにより、1ライン単位で現基準信号のクロックの位相制御を行うことができる。

発明の効果

- [0030] 本発明にかかる半導体装置によれば、PLLがロック状態になる前までは予め設定されている初期値を等化係数として出力し、クロックに同期していない信号、例えばアナログHパルスに対しリセットをかけた場合は、クロックDUTY幅を確保しながら、現基準信号のクロックの位相を位相シフトさせて前基準信号の位相状態と一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能となる。

図面の簡単な説明

- [0031] [図1]図1は、本発明の実施の形態1における半導体装置の構成を示す図である。

[図2]図2において、図2(a)は、上記実施の形態1の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図2(b)は、図2(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図3]図3において、図3(a)は、上記実施の形態1の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図3(b)は、図3(a)に示す現基準信号

の位相制御を行う方法を説明するための図である。

[図4]図4は、本発明の実施の形態2における半導体装置の構成を示す図である。

[図5]図5において、図5(a)は、上記実施の形態2の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図5(b)は、図5(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図6]図6において、図6(a)は、上記実施の形態2の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図6(b)は、図6(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図7]図7は、本発明の実施の形態3における半導体装置の構成を示す図である。

[図8]図8において、図8(a)は、上記実施の形態3の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図8(b)は、図8(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図9]図9において、図9(a)は、上記実施の形態3の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図9(b)は、図9(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図10]図10は、本発明の実施の形態4における半導体装置の構成を示す図である。

[図11]図11において、図11(a)は、上記実施の形態4の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図11(b)は、図11(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図12]図12において、図12(a)は、上記実施の形態4の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図12(b)は、図12(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図13]図13は、本発明の実施の形態5における半導体装置の構成を示す図である。

[図14]図14において、図14(a)は、上記実施の形態5の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図14(b)は、図14(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図15]図15において、図15(a)は、上記実施の形態5の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図15(b)は、図15(a)に示す現基

準信号の位相制御を行う方法を説明するための図である。

[図16]図16は、本発明の実施の形態6における半導体装置の構成を示す図である。

[図17]図17において、図17(a)は、上記実施の形態6の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図17(b)は、図17(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図18]図18において、図18(a)は、上記実施の形態6の半導体装置における、現基準信号と前基準信号の位相状態の一例を示す図、図18(b)は、図18(a)に示す現基準信号の位相制御を行う方法を説明するための図である。

[図19]図19は、本発明の半導体装置の変形例を示す図である。

[図20]図20は、本発明の半導体装置を構成する比較回路、及び位相制御回路の詳細な構成を示す図である。

[図21]図21において、図21(a)は、従来の半導体装置の構成を示す図であり、図21(b)は、従来の半導体装置の動作を説明するための図である。

符号の説明

- [0032]
- 1 クロック入力端子
 - 2〜5 遅延素子
 - 6 位相比較器
 - 7 制御器
 - 8 前基準信号入力端子
 - 9 現基準信号入力端子
 - 10 基準信号位相検出回路
 - 11 比較回路
 - 12 位相制御回路
 - 13 選択器制御回路
 - 14 選択器
 - 15 同期クロック出力端子
 - 16 位相制御回路
 - 17 1ライン幅均等分割カウンタ回路

- 18 ラインカウンタ回路
- 19 切替手段
- 20 減算器
- 21 セレクタ
- 22 セレクタ
- 23 加算器
- 24 セレクタ
- 25 フリップフロップ
- 26 EX-OR回路

発明を実施するための最良の形態

[0033] 以下、本発明の実施の形態について図面を用いて説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

[0034] (実施の形態1)

図1は、本発明の実施の形態1による半導体装置の構成を示すブロック図である。

本実施の形態1に示す半導体装置は、クロック入力端子1、遅延素子2〜5、位相比較器6、制御器7、前基準信号入力端子8、現基準信号入力端子9、基準信号位相検出回路10、比較回路11、位相制御回路12、選択器制御回路13、選択器14、および同期クロック出力端子15を有している。

[0035] 上記遅延素子2〜5は、上記クロック入力端子1に入力されたクロックを1/4クロックずつ位相シフトさせる。

[0036] 上記位相比較器6は、上記入力クロックの1クロック後の位相と、上記遅延素子5の出力クロックの位相とを比較する。

[0037] 上記制御器7は、上記位相比較器6の出力に基づいて上記遅延素子2〜5の遅延値を制御する。

[0038] 上記前基準信号入力端子8は、現基準信号に対し1ライン前の信号である前基準信号を入力する。

上記現基準信号入力端子9は、現基準信号を入力する。

[0039] 上記基準信号位相検出回路10は、上記各遅延素子2〜5の出力クロックと上記前基準信号入力端子8を介して入力された前基準信号との位相差、及び、上記各遅延素子2〜5の出力クロックと上記現基準信号入力端子9を介して入力された現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。

[0040] 上記比較回路11は、上記基準信号位相検出回路10にて検出された、現基準信号と前基準信号の位相状態が一致しているか否かを比較する。

[0041] 上記位相制御回路12は、上記現基準信号と上記前基準信号との位相状態が一致していないとき、クロック数を1ステップずつカウントアップさせて、現基準信号のクロックの位相状態を、 $(1+N)/N$ クロックレート幅(Nは、遅延素子の段数により決定される整数)で位相シフトさせ、前基準信号の位相状態に近づけるよう位相制御を行う。なお、本実施の形態1では、上記位相制御回路12は、1クロック単位でカウントアップし、 $5/4$ クロックレート幅で位相制御を行うものとする。

[0042] 上記選択器制御回路13は、上記位相制御回路12の出力に基づいて上記選択器14を制御する。

上記選択器14は、上記選択器制御回路13の制御により、上記各遅延素子2〜5のうちの1つを同期クロックとして選択し、同期クロック出力端子15を介して外部に出力する。

[0043] 次に、上記比較回路11及び上記位相制御回路12の構成例を図20に示す。

上記比較回路11は、減算器20を有し、前基準信号の位相状態8sと現基準信号の位相状態9sとの大小判別を行い、該判別結果に基づいてキャリー信号20sを出力する。この信号20sは、前基準信号の位相状態8sが現基準信号の位相状態9sより大きい場合は1を示し、前基準信号の位相状態8sが現基準信号の位相状態9sより小さい場合は0を示す。

[0044] 上記位相制御回路12は、セレクトア21、22、加算器23、セレクトア24、フリップフロップ(FF)25、EX-OR回路26を有し、キャリー信号20sが1の場合はアップカウンタ動作により位相制御を行い、キャリー信号20sが0の場合はダウンカウンタ動作により位相制御を行う。

[0045] 上記セレクトア21は、キャリー信号20sが1の場合は1を出力し、キャリー信号20sが0

の場合は0を出力する。

- [0046] 上記セクタ22は、キャリー信号20sが1の場合は0を出力し、キャリー信号20sが0の場合は1を出力する。
- [0047] 上記加算器23は、上記セクタ21の出力21s、上記セクタ22の出力22s、及び上記フリップフロップ25の出力25sを加算する。
- [0048] 上記セクタ24は、上記EX-OR回路26の出力26sが1である場合、加算器23sがロードされ、EX-OR回路26で比較される。上記EX-OR回路26の出力26sが0である場合、フリップフロップ25の出力25sと前基準信号とが一致しているため、データはホールドされる。
- [0049] 上記フリップフロップ25は、非同期式リセット付きのフリップフロップであり、リセットがかかると、0を出力する。
- [0050] 上記EX-OR回路26は、上記フリップフロップ25の出力25sと上記前基準信号とを比較し、一致している場合は0を出力し、一致していない場合は1を出力する。後段の選択器制御回路13では、上記EX-OR回路26の出力26sが1から0になるタイミングで、選択回路14を制御する。
- [0051] 以上のように構成された半導体装置の動作について説明する。
まず、クロック入力端子1に同期させたいクロックと同じ周波数のクロックを入力する。入力されたクロックは、上記遅延素子2〜5で遅延され、該遅延素子5の出力クロックが比較信号として位相比較器6に入力される。また、クロック入力端子1から入力されたクロックは、被比較信号として位相比較器6に入力される。
- [0052] 位相比較器6では、上記遅延素子5の出力クロックの位相と、上記クロック入力端子1から入力されたクロックの1クロック後の位相とを比較し、位相差を検出したときは位相差出力信号を制御器7へ出力する。
- [0053] 制御器7では、上記位相差出力信号を、上記遅延素子2〜5の遅延値を制御するための制御値へ変換し、遅延素子2〜5の遅延値を変化させる。
- [0054] その後、位相比較器6で、上記遅延素子5の出力クロックの位相と、上記入力クロックの1クロック後の位相とを比較する。この動作を位相比較器6で位相差が検出できなくなるまで繰り返すと、上記遅延素子5の出力クロックの位相と上記入力クロックの1

クロック後の位相との差がなくなり、遅延素子の遅延がほぼ同じになる。つまり、各遅延素子の出力に $1/4$ クロックずつ位相シフトしたクロックが発生することとなる。従って、遅延素子2の出力に $1/4$ クロック遅延のクロックが、遅延素子3の出力に $2/4$ クロック遅延のクロックが、遅延素子4の出力に $3/4$ クロック遅延のクロックが、遅延素子5の出力に1クロック遅延のクロックが出力される。

[0055] 次に、本実施の形態1の半導体装置における、現基準信号の位相制御方法について説明する。

[0056] 基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、及び各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここで、位相状態0とは、前基準信号あるいは現基準信号の位相状態が遅延素子2の出力と同じ位相状態であって、位相制御回路12によるカウント値が0である場合を示す。位相状態1とは、前基準信号あるいは現基準信号の位相状態が遅延素子3の出力と同じ位相状態であって、位相制御回路12によるカウント値が1である場合を示す。位相状態2とは、前基準信号あるいは現基準信号の位相状態が遅延素子4の出力と同じ位相状態であって、位相制御回路12によるカウント値が2である場合を示す。位相状態3とは、前基準信号あるいは現基準信号の位相状態が遅延素子5の出力と同じ位相状態であって、位相制御回路12によるカウント値が3である場合を示す。

[0057] 上記検出の結果、図2(a)に示すように、前基準信号の位相状態が2、現基準信号の位相状態が0であった場合、位相制御回路12では、クロック数を1クロック単位でカウントアップさせて、現基準信号のクロックの位相を、 $5/4$ クロックレート幅で前基準信号の位相に近い方向へ位相シフトさせる。つまり、図2(b)に示すように、現基準信号の位相状態0のクロックエッジを $5/4$ クロックずつ位相シフトさせて、位相状態1のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0058] そして、選択器制御回路13では、上記位相制御回路12の出力に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、 $5/4$ クロックレート幅で出力され、

前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0059] 上記検出の結果、図3(a)に示すように、前基準信号の位相状態が0、現基準信号の位相状態が2であった場合、位相制御回路12では、図3(b)に示すように、現基準信号の位相状態2のクロックエッジを5/4クロックずつ位相シフトさせて、位相状態3のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0060] そして、選択器制御回路13では、上記位相制御回路12の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、5/4クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0061] このような実施の形態1では、1クロックずつカウントアップさせて、現基準信号の位相状態を前基準信号の位相状態に近づけるよう位相制御を行う位相制御回路12を備え、入力クロックに同期していない信号、例えばアナログHパルスに対してリセットをかけた場合に、現基準信号のクロックの位相を5/4クロックレート幅で位相シフトさせて前基準信号の位相に一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることではなく、データとクロックとの間でタイミング制約を満足することが可能となり、最終的に信号処理中の誤動作を防ぐことができる。

[0062] なお、本実施の形態1において、上記位相制御回路12は、 $(1+N)/N$ クロックレート幅で位相制御を行う場合について説明したが、クロックレート幅が1クロック幅以上であれば、同様の効果を得ることができる。

[0063] (実施の形態2)

図4は、本発明の実施の形態2による半導体装置の構成を示すブロック図である。なお、図4において、図1と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

[0064] 本実施の形態2の半導体装置は、上記実施の形態1の半導体装置における、クロック数を1ステップずつカウントアップさせて位相制御を行う位相制御回路12に代えて、1ステップずつカウントダウンさせて位相制御を行う位相制御回路16を有している。

[0065] 上記位相制御回路16は、上記現基準信号と上記前基準信号の位相状態が一致していないとき、クロック数を1ステップずつカウントダウンさせて、現基準信号のクロックの位相状態を、 $(1-N)/N$ クロックレート幅で位相シフトさせ、前基準信号の位相状態に近づけるよう位相制御を行う。なお、本実施の形態2では、上記位相制御回路16は、1クロック単位でカウントダウンし、 $3/4$ クロックレート幅で位相制御を行うものとする。

[0066] 次に、本実施の形態2の半導体装置における、現基準信号の位相制御方法について説明する。

基準信号位相検出回路10では、各遅延素子2〜5の出力クロックと前基準信号との位相差、及び各遅延素子2〜5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。

[0067] 上記検出の結果、図5(a)に示すように、前基準信号の位相状態が0、現基準信号の位相状態が2であった場合、位相制御回路16では、クロック数を1クロック単位でカウントダウンさせて、現基準信号のクロックの位相を、 $3/4$ クロックレート幅で前基準信号の位相に近い方向へ位相シフトさせる。つまり、図5(b)に示すように、現基準信号の位相状態2のクロックエッジを $3/4$ クロックずつ位相シフトさせて、位相状態1のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0068] そして、選択器制御回路13では、上記位相制御回路16の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの 하나가同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は1クロックレート幅で出力される。

[0069] 上記検出の結果、図6(a)に示すように、前基準信号の位相状態が2、現基準信号の位相状態が0であった場合、位相制御回路16では、図6(b)に示すように、現基準

信号の位相状態0のクロックエッジを $3/4$ クロックずつ位相シフトさせて、位相状態3のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0070] そして、選択器制御回路13では、上記位相制御回路16の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0071] このような実施の形態2では、1クロックずつカウントダウンさせて、現基準信号の位相状態を前基準信号の位相状態に近づけるよう位相制御を行う位相制御回路16を備え、クロックに同期していない信号に対してリセットをかけた場合に、現基準信号のクロックの位相を $3/4$ クロックレート幅で位相シフトさせて前基準信号の位相に一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能となる。

[0072] なお、上記実施の形態2において、上記位相制御回路16により、 $(1-N)/N$ クロックレート幅でクロックを位相シフトさせる場合について説明したが、クロックレート幅が1クロック幅以下であれば、同様の効果を得ることができる。

[0073] (実施の形態3)

図7は、本発明の実施の形態3による半導体装置の構成を示すブロック図である。なお、図7において、図1と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

[0074] 本実施の形態3の半導体装置は、上記実施の形態1の半導体装置において、さらに1ライン幅均等分割カウンタ回路17を設けたものである。

[0075] 上記1ライン幅均等分割カウンタ回路17は、1ライン分のクロック数を M (M は2以上の整数) 均等分割し、該均等分割されたクロック単位 ($1/M$ ライン単位) でクロック数をカウントするよう位相制御回路12を制御する。

[0076] 次に、本実施の形態3の半導体装置における、基準信号の位相制御方法について説明する。

基準信号位相検出回路10では、各遅延素子2〜5の出力クロックと前基準信号との位相差、及び各遅延素子2〜5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。

[0077] 上記検出の結果、図8(a)に示すように、前基準信号の位相状態が2、現基準信号の位相状態が0であった場合、位相制御回路12では、クロック数を1/Mライン単位でカウントアップさせて、現基準信号のクロックの位相を、5/4クロックレート幅で前基準信号の位相に近い方向へ位相シフトさせる。つまり、図8(b)に示すように、現基準信号の位相状態0のクロックエッジを5/4クロックずつ位相シフトさせて、位相状態1のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0078] そして、選択器制御回路13では、上記位相制御回路12の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、現基準信号のクロックの位相制御期間中は、5/4クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は1クロックレート幅で出力される。

[0079] 上記検出の結果、図9(a)に示すように、前基準信号の位相状態が0、現基準信号の位相状態が2であった場合、位相制御回路12では、図9(b)に示すように、現基準信号の位相状態2のクロックエッジを5/4クロックずつ位相シフトさせて、位相状態3のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0080] そして、選択器制御回路13では、上記位相制御回路12の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、現基準信号のクロックの位相制御期間中は、5/4クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0081] このような実施の形態3では、1/Mライン単位でクロック数をカウントアップしながら

、現基準信号の位相状態を前基準信号の位相状態に近づける位相制御を行う位相制御回路12を備え、クロックに同期していない信号、例えばアナログHパルス等に対してリセットをかけた場合に、現基準信号のクロックの位相を $5/4$ クロックレート幅で位相シフトさせて前基準信号の位相に一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能となる。

[0082] (実施の形態4)

図10は、本発明の実施の形態4による半導体装置の構成を示すブロック図である。なお、図10において、図4と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

[0083] 本実施の形態4の半導体装置は、上記実施の形態2の半導体装置において、さらに1ライン幅均等分割カウンタ回路17を設けたものである。

[0084] 上記1ライン幅均等分割カウンタ回路17は、1ライン分のクロック数を M (M は2以上の整数) 均等分割し、該均等分割されたクロック単位 ($1/M$ ライン単位) でクロック数をカウントするよう位相制御回路16を制御する。

[0085] 次に、本実施の形態4の半導体装置における、現基準信号の位相制御方法について説明する。

基準信号位相検出回路10では、各遅延素子2〜5の出力クロックと前基準信号との位相差、及び各遅延素子2〜5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。

[0086] 上記検出の結果、図11(a)に示すように、前基準信号の位相状態が0、現基準信号の位相状態が2であった場合、位相制御回路16では、クロック数を $1/M$ ライン単位でカウントダウンさせて、現基準信号のクロックの位相を、 $3/4$ クロックレート幅で前基準信号の位相に近い方向へ位相シフトさせる。つまり、図11(b)に示すように、クロック数を $1/M$ ライン単位でカウントダウンさせて、現基準信号の位相状態2のクロックエッジから位相状態1のクロックエッジ、位相状態0のクロックエッジへと順に切り

替え、前基準信号の位相状態に近づけていく。

[0087] そして、選択器制御回路13では、上記位相制御回路16の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、現基準信号のクロックの位相制御期間は $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は1クロックレート幅で出力される。

[0088] 上記検出の結果、図12(a)に示すように、前基準信号の位相状態が2、現基準信号の位相状態が0であった場合、位相制御回路16では、図12(b)に示すように、現基準信号の位相状態0のクロックエッジを $3/4$ クロックずつ位相シフトさせて、位相状態3のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0089] そして、選択器制御回路13では、上記位相制御回路16の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0090] このような実施の形態4では、 $1/M$ ライン単位でクロック数をカウントダウンしながら、現基準信号の位相状態を前基準信号の位相状態に近づけるよう位相制御を行う位相制御回路16を備え、クロックに同期していない信号、例えばアナログHパルスに対してリセットをかけた場合に、現基準信号のクロックの位相を $3/4$ クロックレート幅で位相シフトさせて前基準信号の位相に一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能となる。

[0091] (実施の形態5)

図13は、本発明の実施の形態5による半導体装置の構成を示すブロック図である。なお、図13において、図1と同一または相当する構成要素については同じ符号を用

い、その説明を省略する。

[0092] 本実施の形態5の半導体装置は、上記実施の形態1の半導体装置において、さらにラインカウンタ回路18を設けたものである。

[0093] 上記ラインカウンタ回路18は、1ライン単位でクロック数をカウントするよう位相制御回路12を制御する。

[0094] 次に、本実施の形態5の半導体装置における、現基準信号の位相制御方法について説明する。

[0095] 基準信号位相検出回路10では、各遅延素子2〜5の出力クロックと前基準信号との位相差、及び各遅延素子2〜5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。

[0096] 上記検出の結果、図14(a)に示すように、前基準信号の位相状態が2、現基準信号の位相状態が0であった場合、位相制御回路12では、クロック数を1ライン単位でカウントアップさせて、現基準信号のクロックの位相を、 $5/4$ クロックレート幅で前基準信号の位相に近い方向へ位相シフトさせる。つまり、図14(b)に示すように、現基準信号の位相状態0のクロックエッジを、 $5/4$ クロックずつ位相シフトさせて、位相状態1のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0097] そして、選択器制御回路13では、上記位相制御回路12の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、 $5/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0098] 上記検出の結果、図15(a)に示すように、前基準信号の位相状態が0、現基準信号の位相状態が2であった場合、位相制御回路12では、図15(b)に示すように、現基準信号の位相状態2のクロックエッジを $5/4$ クロックずつ位相シフトさせて、位相状態3のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0099] そして、選択器制御回路13は、上記位相制御回路12の出力に基づいて選択器1

4を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択選択出力される。該同期クロックは、位相制御期間中は、 $5/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、位相制御終了後は、1クロックレート幅で出力される。

[0100] このような実施の形態5では、1ライン単位でクロック数をカウントアップしながら、現基準信号の位相状態を前基準信号の位相状態に近づけるよう位相制御を行う位相制御回路12を備え、クロックに同期していない信号、例えばアナログHパルスに対してリセットをかけた場合に、現基準信号のクロックの位相を $5/4$ クロックレート幅で位相シフトさせて前基準信号の位相に一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能となる。

[0101] (実施の形態6)

図16は、本発明の実施の形態6による半導体装置の構成を示すブロック図である。なお、図16において、図4と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

[0102] 本実施の形態6の半導体装置は、上記実施の形態2の半導体装置において、さらにラインカウンタ18を設けたものである。

[0103] 上記ラインカウンタ回路18は、1ライン単位でクロック数をカウントするよう位相制御回路16を制御する。

[0104] 次に、本実施の形態6の半導体装置における、現基準信号の位相制御方法について説明する。

[0105] 基準信号位相検出回路10では、各遅延素子2〜5の出力クロックと前基準信号との位相差、及び各遅延素子2〜5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。

[0106] 上記検出の結果、図17(a)に示すように、前基準信号の位相状態が0、現基準信号の位相状態が2であった場合、位相制御回路16では、クロック数を1ライン単位で

カウントダウンさせて、現基準信号のクロックの位相を、 $3/4$ クロックレート幅で前基準信号の位相に近い方向へ位相シフトさせる。つまり、図17(b)に示すように、現基準信号の位相状態2のクロックエッジを $3/4$ クロックずつ位相シフトさせて、位相状態1のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0107] そして、選択器制御回路13では、上記位相制御回路16の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間中は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は1クロックレート幅で出力される。

[0108] 上記検出の結果、図18(a)に示すように、前基準信号の位相状態が2、現基準信号の位相状態が0であった場合、位相制御回路16では、図18(b)に示すように、現基準信号の位相状態0のクロックエッジを $3/4$ クロックずつ位相シフトさせて位相状態3のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

[0109] そして、選択器制御回路13では、上記位相制御回路16の出力に基づいて選択器14を制御し、遅延素子2〜5の出力クロックのうちの一つが同期クロックとして選択出力される。該同期クロックは、位相制御期間は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後、すなわち位相制御終了後は、1クロックレート幅で出力される。

[0110] このような実施の形態6では、1ライン単位でクロック数をカウントダウンしながら、現基準信号の位相状態を前基準信号の位相状態に近づけるよう位相制御を行う位相制御回路16を備え、クロックに同期していない信号、例えばアナログHパルスに対してリセットをかけた場合に、現基準信号のクロックの位相を $3/4$ クロックレート幅で位相シフトさせて前基準信号の位相に一致させるようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロックとの間でタイミング制約を満足することが可能と

なる。

[0111] なお、上記実施の形態1〜6を必要に応じて組み合わせて基準信号の位相制御を行うようにすれば、信頼性の高い半導体装置を実現することができる。

[0112] 例えば、実施の形態1と実施の形態5を組み合わせた場合の半導体装置の構成例を図19に示す。図19で示す半導体装置は、上記実施の形態1の半導体装置において、さらに1ライン単位あるいは1クロック単位でカウントするよう位相制御回路12を制御する切替手段19を備えている。

[0113] このような構成の半導体装置により基準信号の位相制御を開始した場合、上記切替手段19により1ライン単位で位相制御するよう位相制御回路12を制御し、上記実施の形態5で説明したように、1ライン単位でクロック数をカウントアップさせて、現基準信号の位相状態を順に切り替え、前基準信号の位相状態に近づけていく。

[0114] そして、現基準信号の位相と前基準信号の位相とが近づくと、上記切替手段19により1クロック単位で位相制御するよう位相制御回路12を制御し、上記実施の形態1で説明したように、1クロック単位でクロック数をカウントアップしながら現基準信号のクロックの位相状態を前基準信号の位相状態に一致させる。

[0115] このように、位相制御開始時にはライン単位で大まかな位相制御を行い、その後、クロック単位で細かく位相制御を適宜切り替えて行うようにすれば、前基準信号と現基準信号の位相状態を精度よく一致させることができる。

産業上の利用可能性

[0116] 本発明にかかる半導体装置は、アナログHパルス等の基準信号にクロックを同期させる場合に、出力する同期クロックのDUTY幅を一定に保つことのできる半導体装置として有用である。

請求の範囲

- [1] 入力クロックをN段の遅延素子により $1/N$ クロックずつ位相シフトさせ、該各遅延素子から出力されるクロックのうち、基準信号に最も同期するクロックを選択器により選択し同期クロックとして出力する半導体装置において、

上記 $1/N$ クロックずつ位相シフトされたクロックと現基準信号との位相差、及び上記 $1/N$ クロックずつ位相シフトされたクロックと上記現基準信号の1ライン前の前基準信号との位相差に基づいて、現基準信号及び前基準信号の位相状態を検出する基準信号位相検出回路と、

上記基準信号位相検出回路にて検出された上記現基準信号、及び上記前基準信号の位相状態を比較する比較回路と、

上記比較回路にて上記現基準信号と上記前基準信号の位相状態が一致していないことを検出したとき、上記現基準信号のクロックの位相状態を位相シフトさせて上記前基準信号の位相状態に一致させる位相制御回路と、

上記位相制御回路の出力に基づいて上記選択器を制御する選択器制御回路とを備えた、

ことを特徴とする半導体装置。

- [2] 請求項1に記載の半導体装置において、

上記位相制御回路は、クロック数を1ステップずつカウントアップさせて上記位相制御を行う、

ことを特徴とする半導体装置。

- [3] 請求項1に記載の半導体装置において、

上記位相制御回路は、クロック数を1ステップずつカウントダウンさせて上記位相制御を行う、

ことを特徴とする半導体装置。

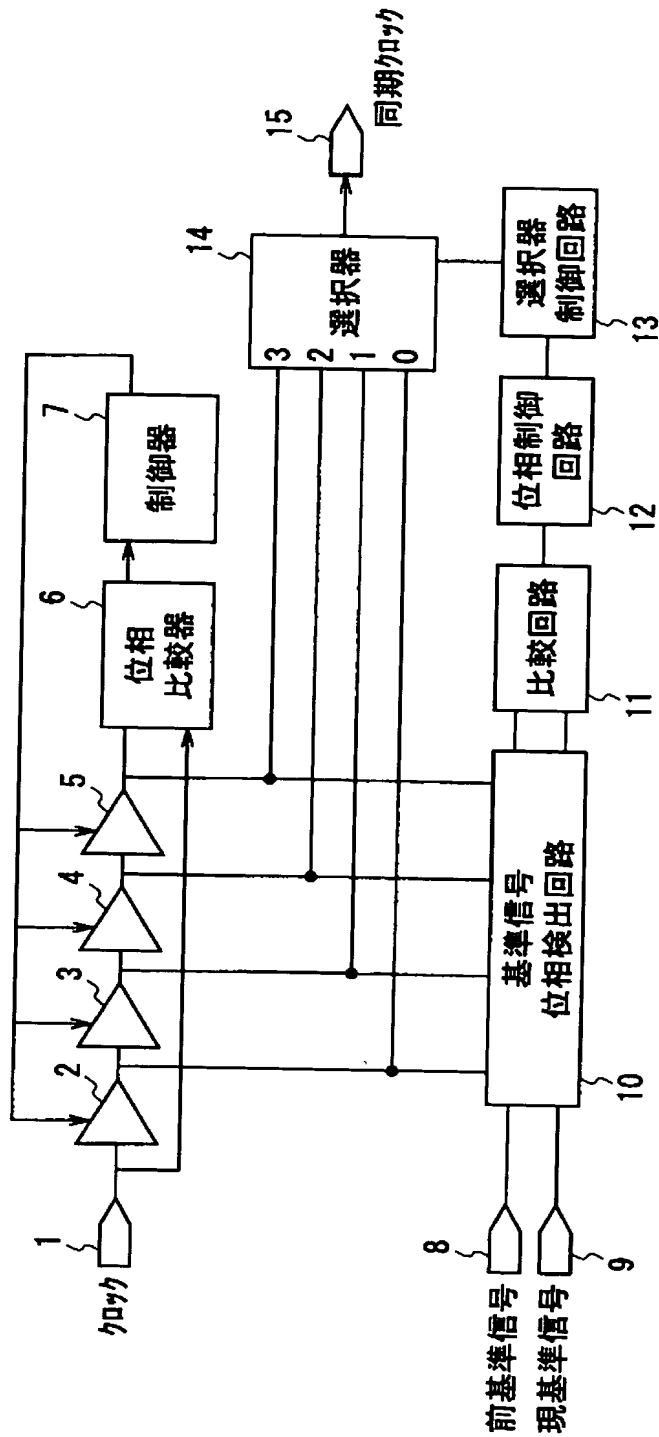
- [4] 請求項1に記載の半導体装置において、

上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が $(1+N)/N$ クロック幅で、上記前基準信号の位相に近い方向に位相シフトさせる、

ことを特徴とする半導体装置。

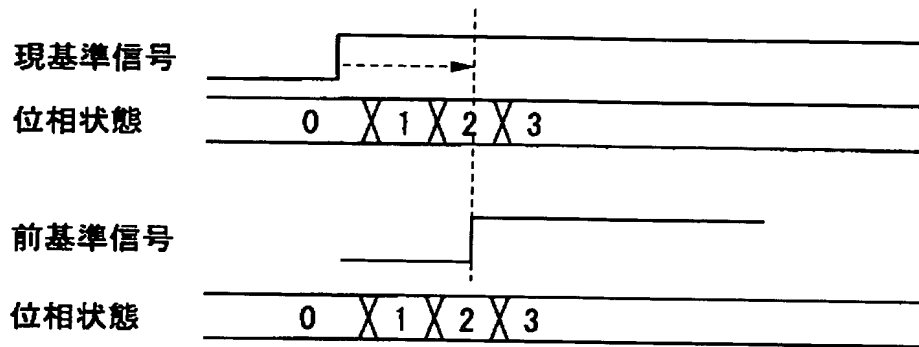
- [5] 請求項1に記載の半導体装置において、
上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が $(1-N)/N$ クロック幅で、上記前基準信号の位相に近い方向に位相シフトさせる、
ことを特徴とする半導体装置。
- [6] 請求項1に記載の半導体装置において、
上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以上となる方向へ位相シフトさせて上記前基準信号の位相に近づける、
ことを特徴とする半導体装置。
- [7] 請求項1に記載の半導体装置において、
上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以下となる方向へ位相シフトさせ、上記前基準信号の位相に近づける、
ことを特徴とする半導体装置。
- [8] 請求項1ないし請求項7のいずれかに記載の半導体装置において、
上記位相制御回路は、1クロック単位でクロック数をカウントし、該カウント値に基づいて上記位相制御を行う、
ことを特徴とする半導体装置。
- [9] 請求項1ないし請求項7のいずれかに記載の半導体装置において、
上記位相制御回路は、 $1/M$ (M は2以上の整数)ライン単位でクロック数をカウントし、該カウント値に基づいて上記位相制御を行う、
ことを特徴とする半導体装置。
- [10] 請求項1ないし請求項7のいずれかに記載の半導体装置において、
上記位相制御回路は、1ライン単位でクロック数をカウントし、該カウント値に基づいて上記位相制御を行う、
ことを特徴とする半導体装置。

[図1]

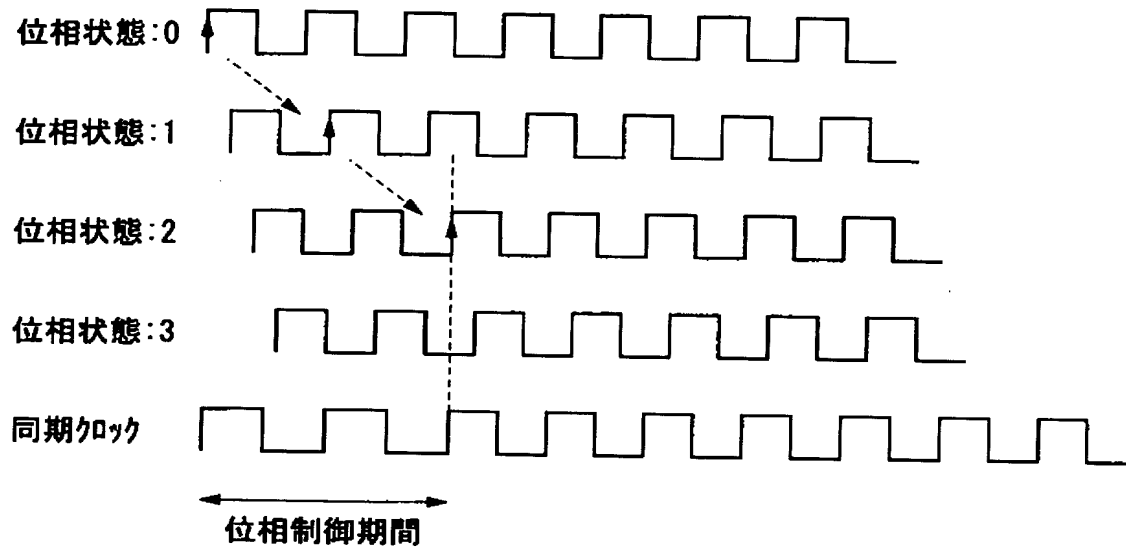


[図2]

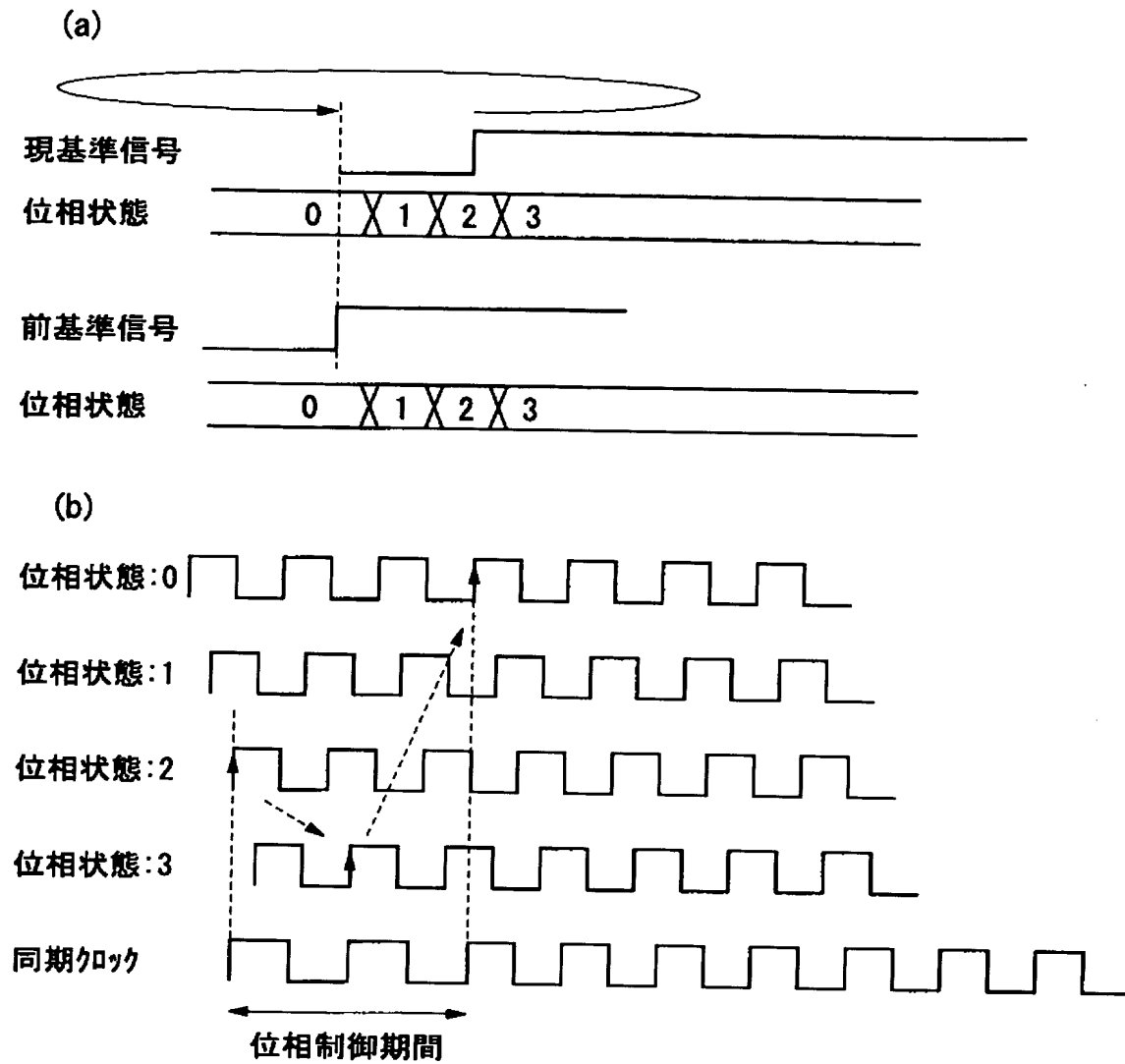
(a)



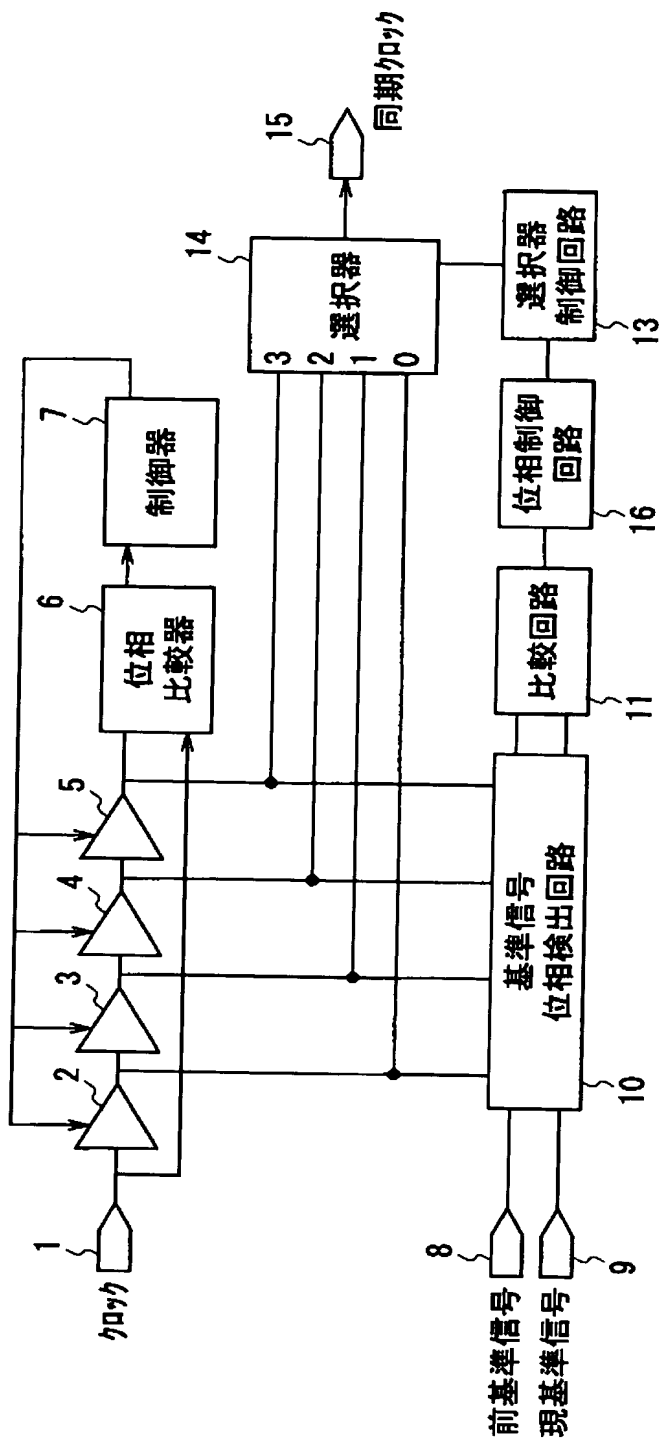
(b)



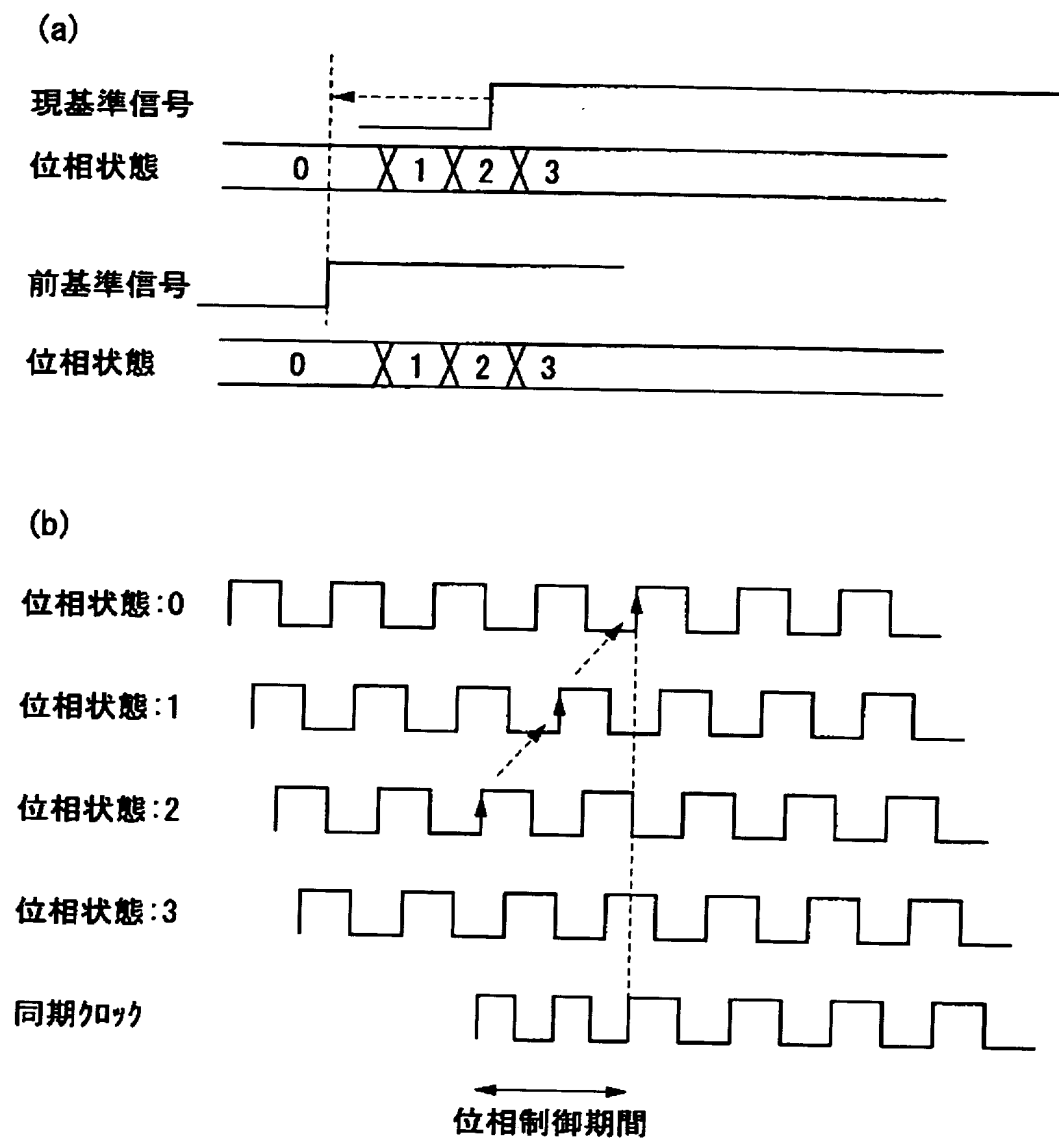
[図3]



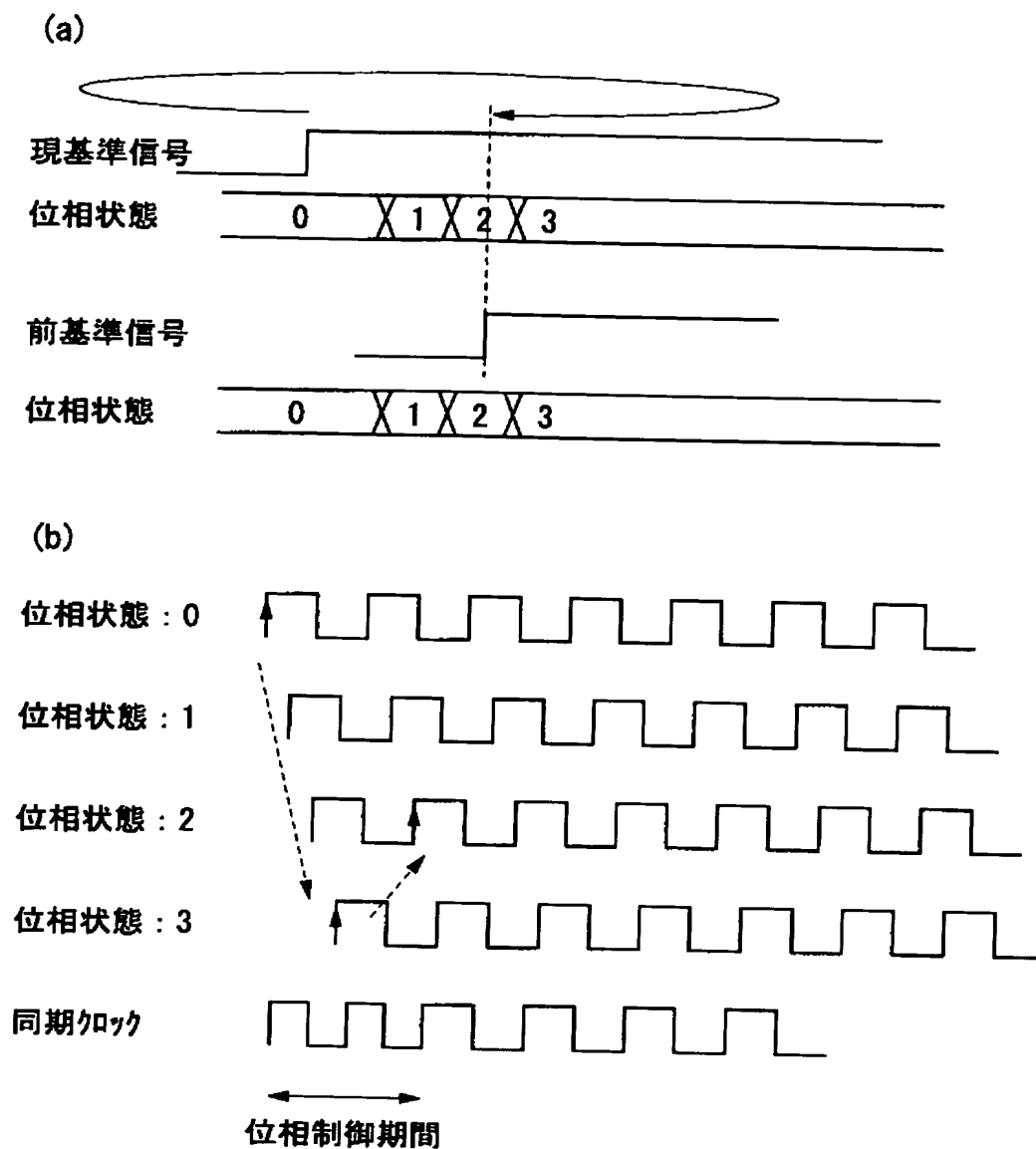
[図4]



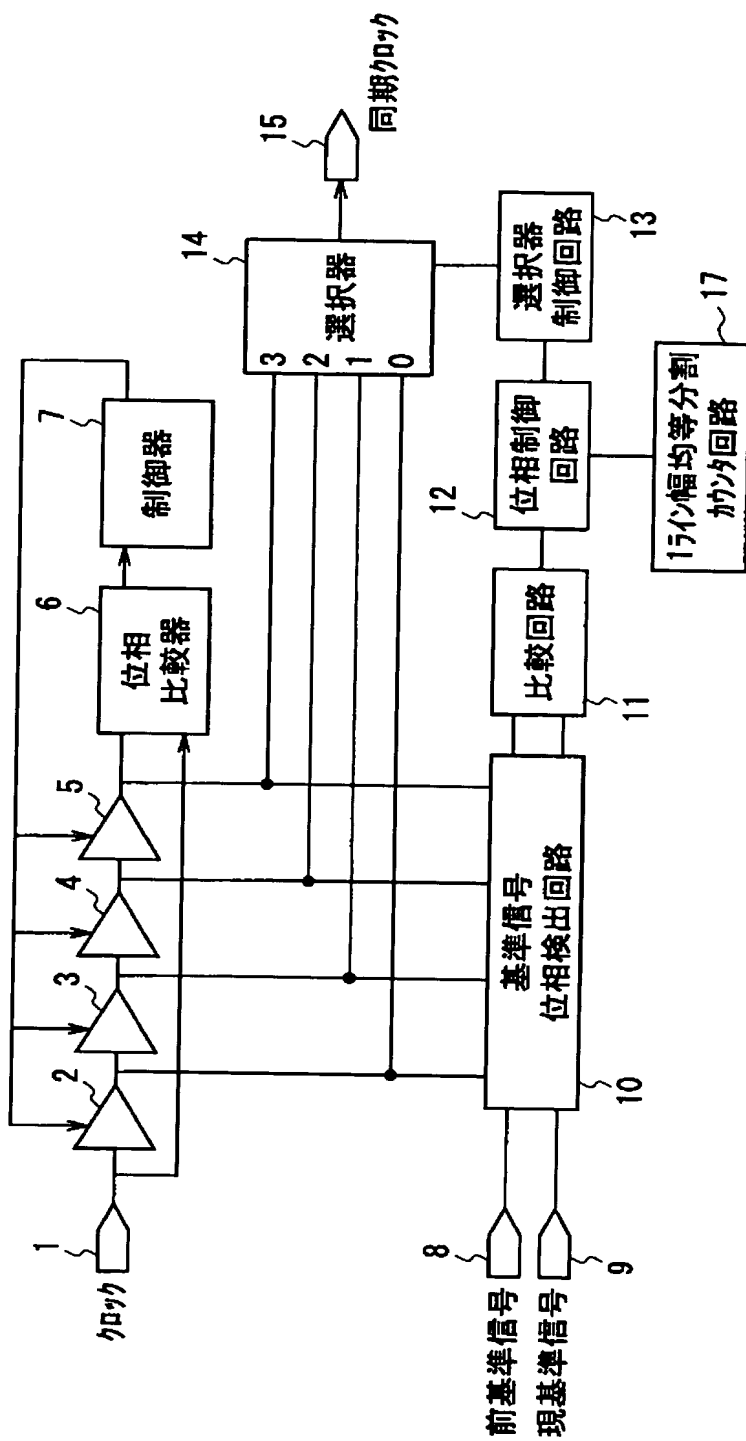
[図5]



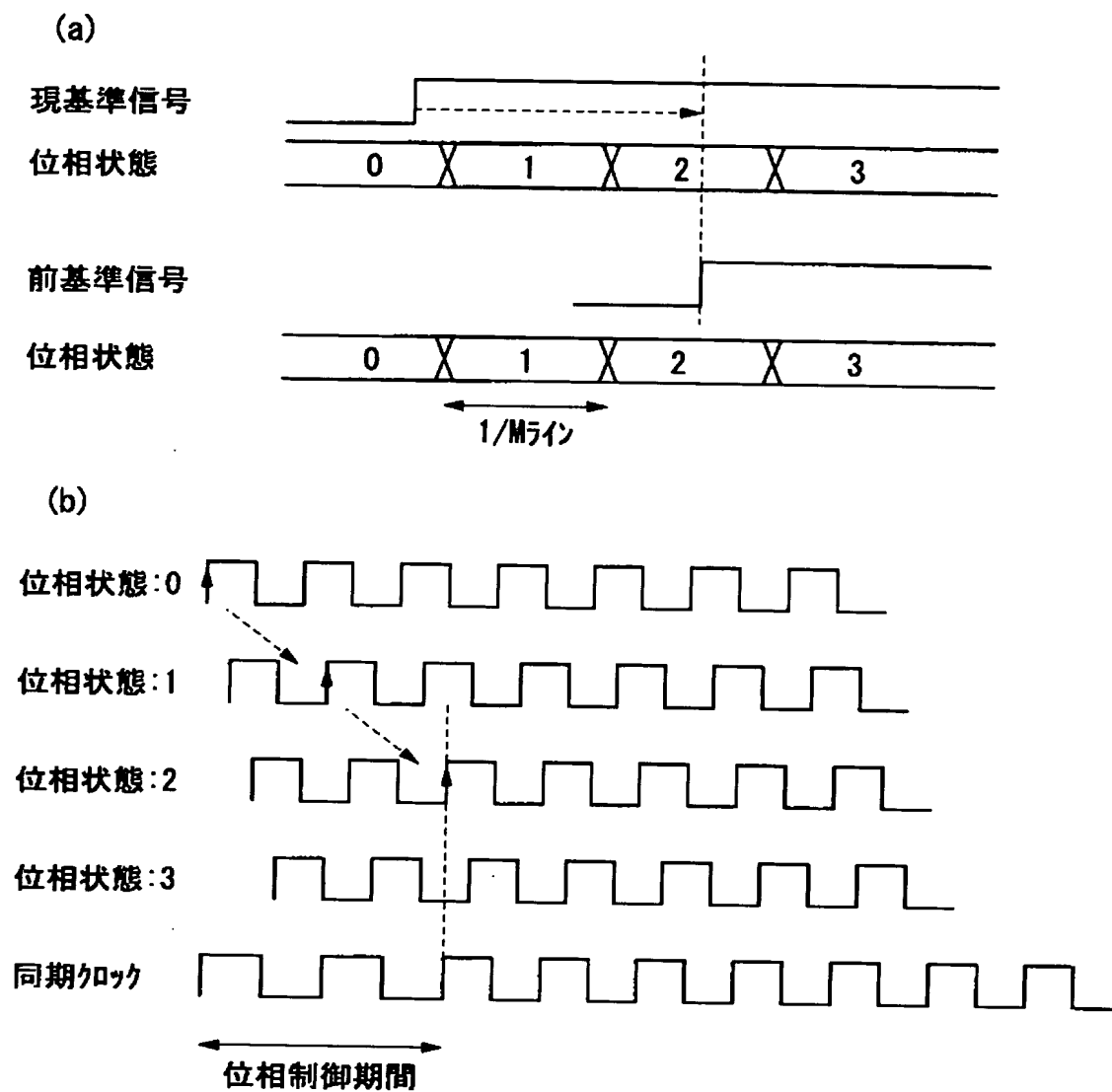
[図6]



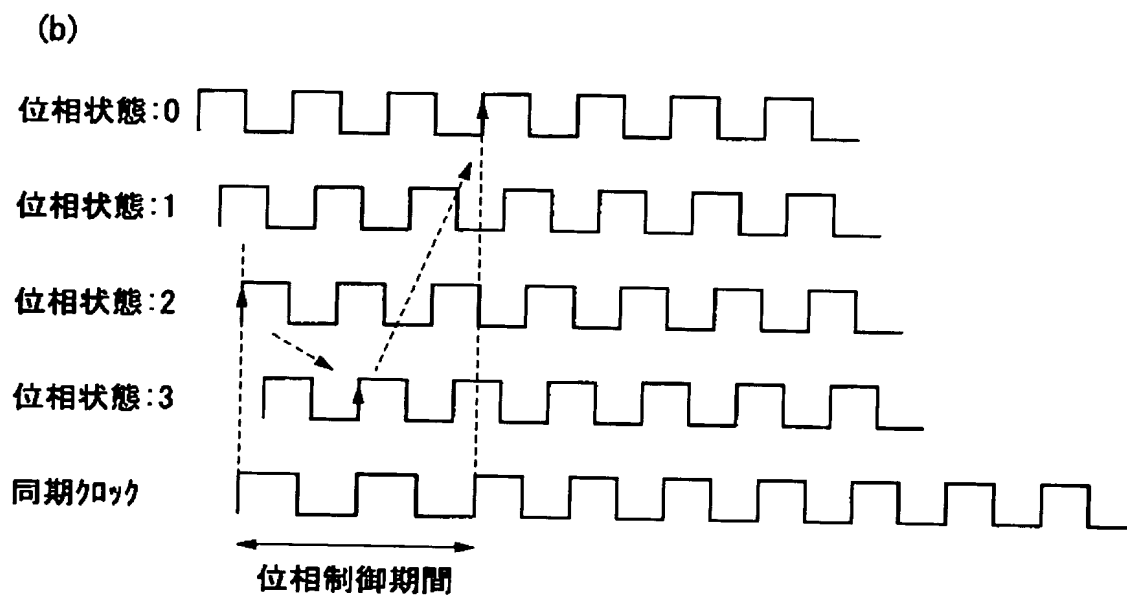
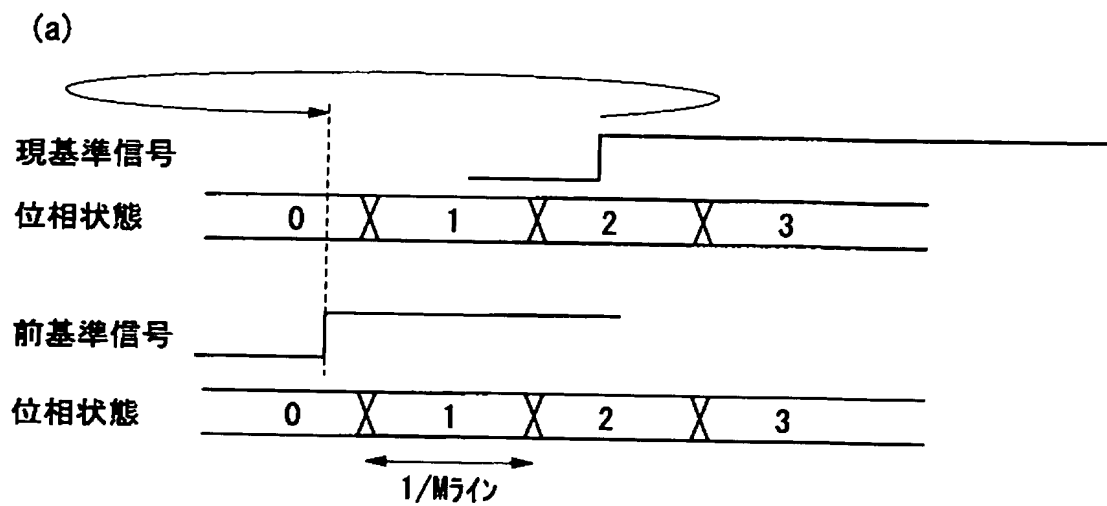
[図7]



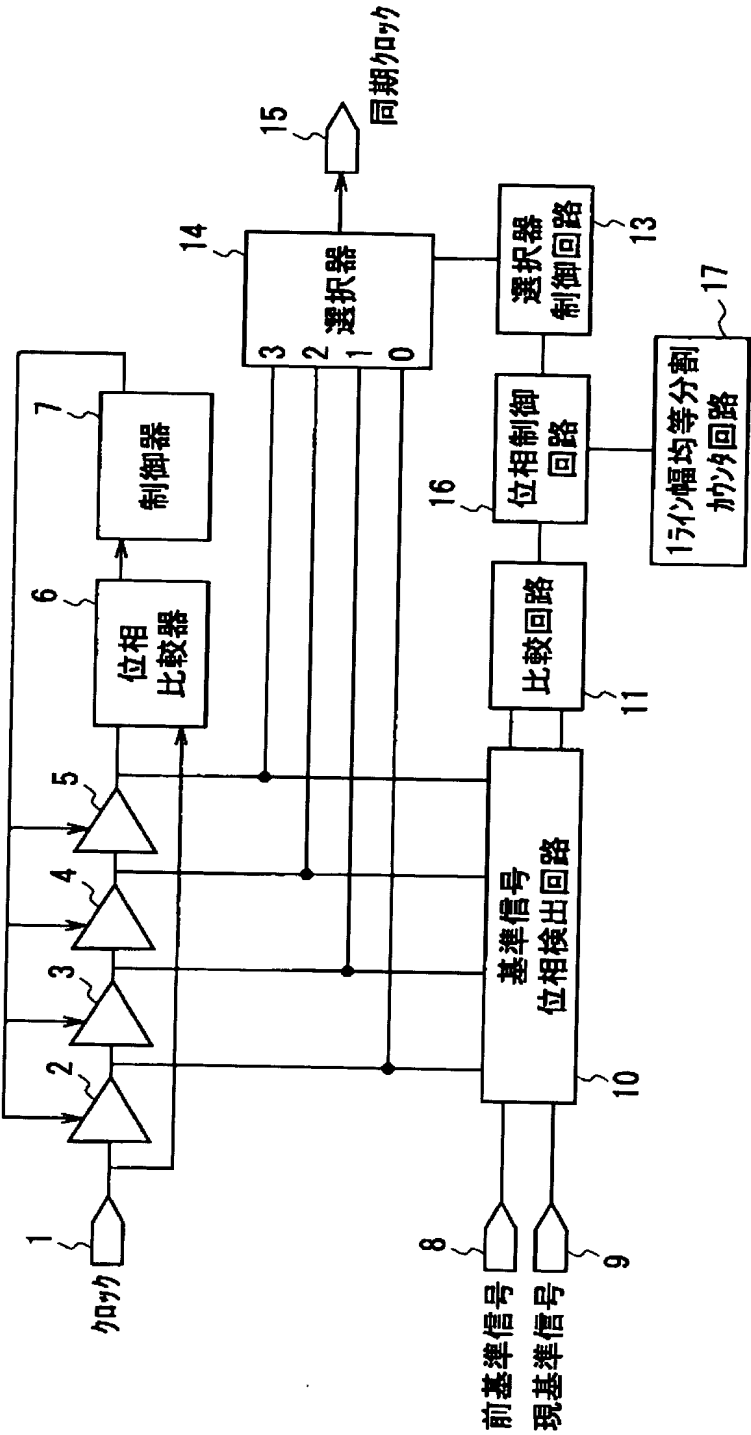
[図8]



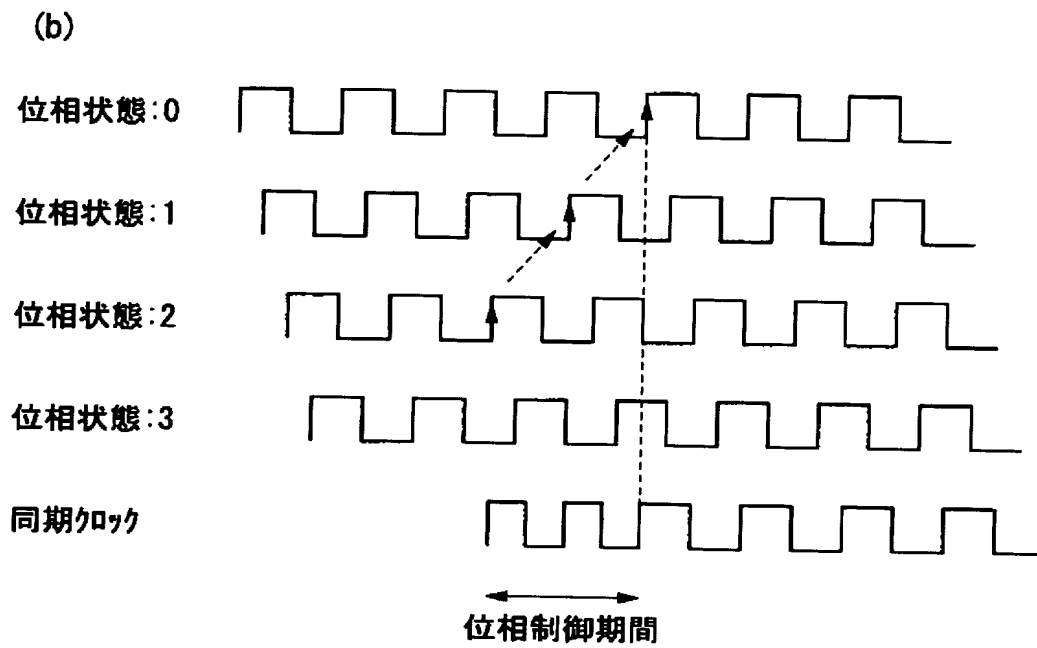
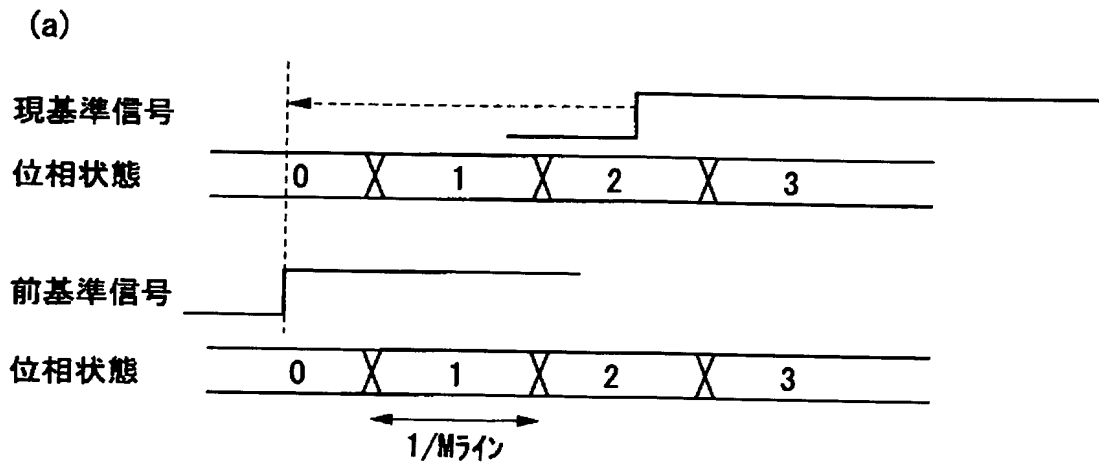
[図9]



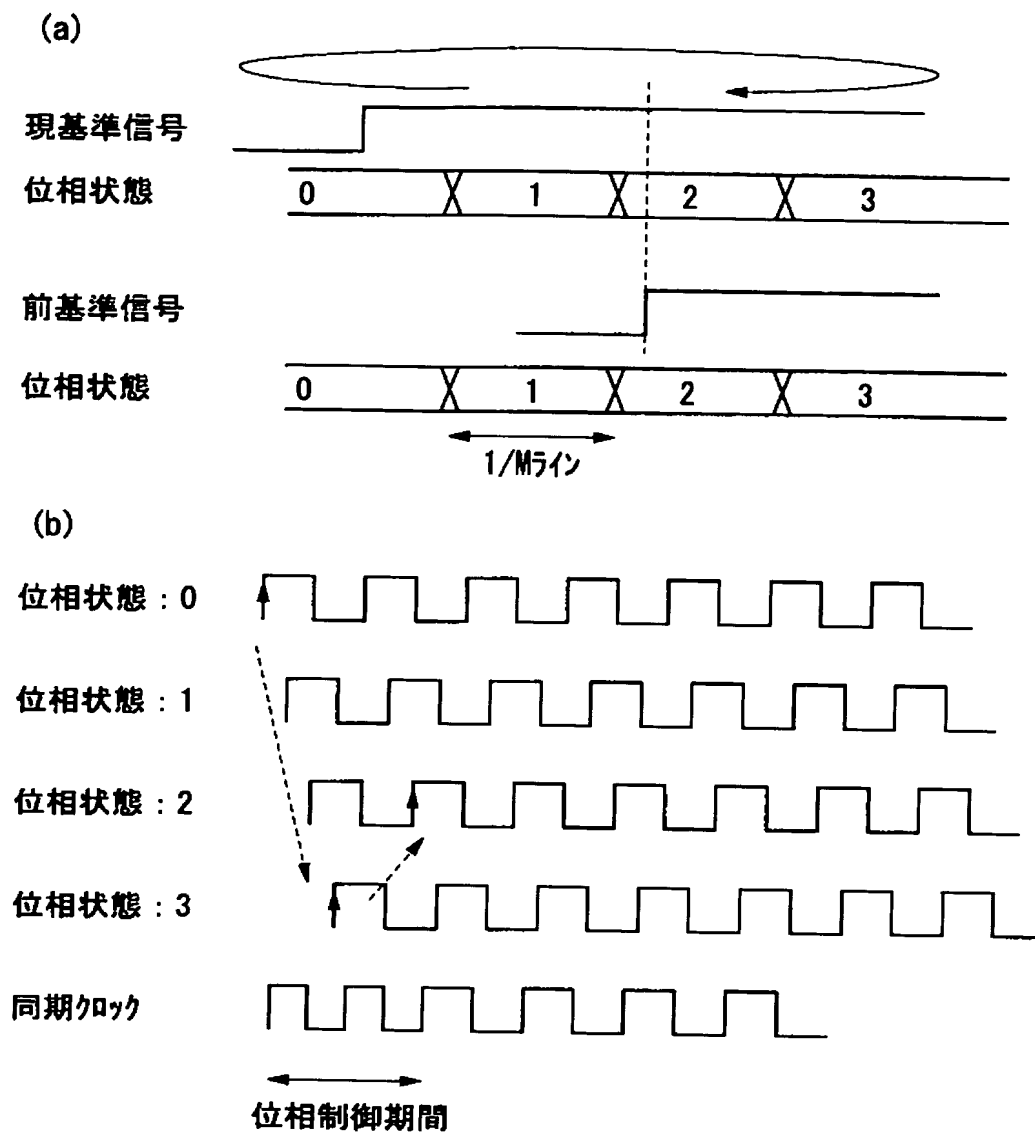
[図10]



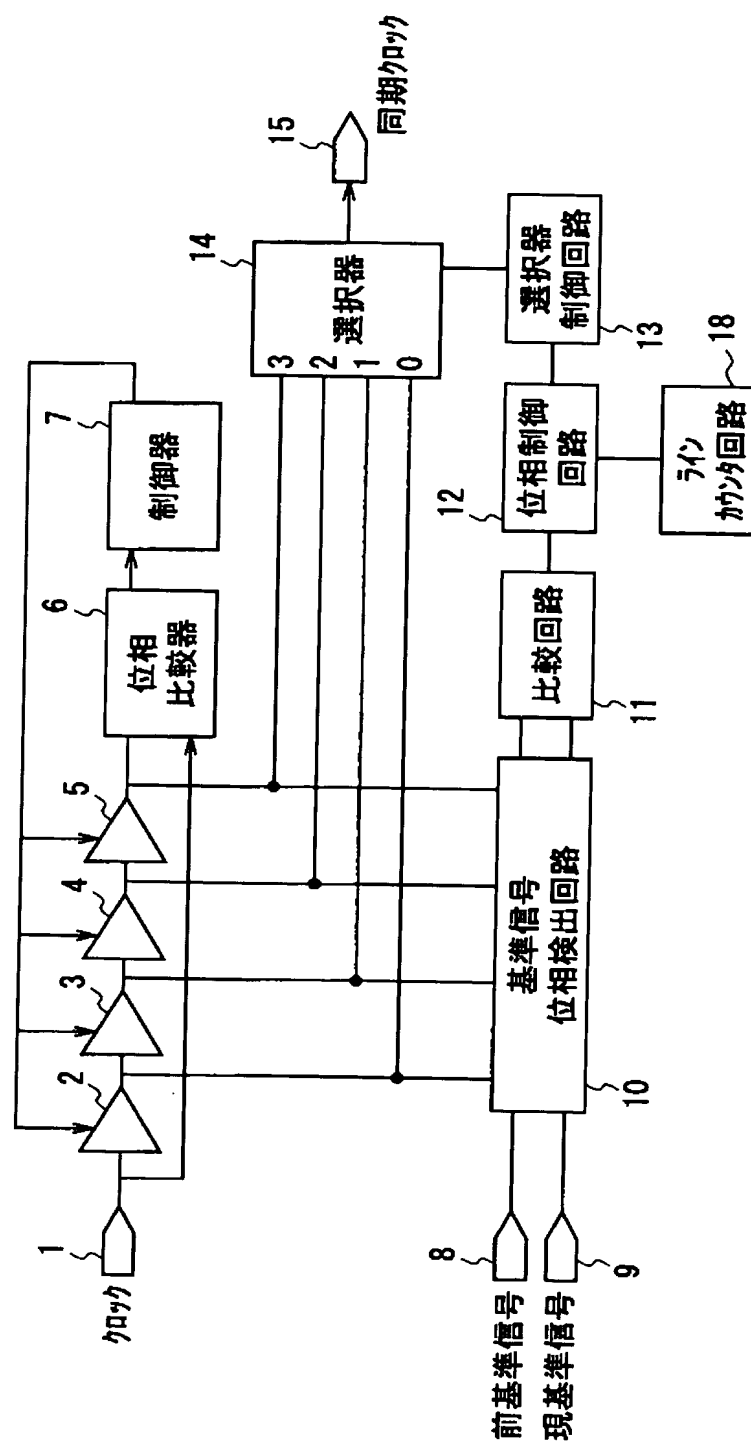
[図11]



[図12]

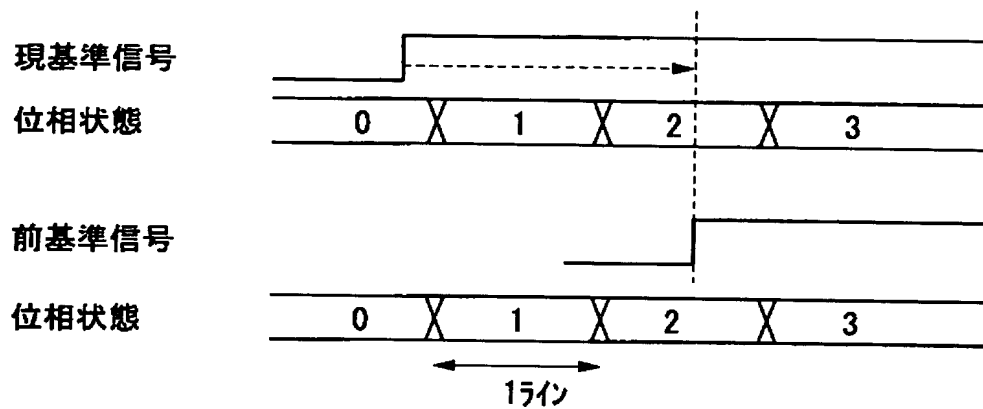


[図13]

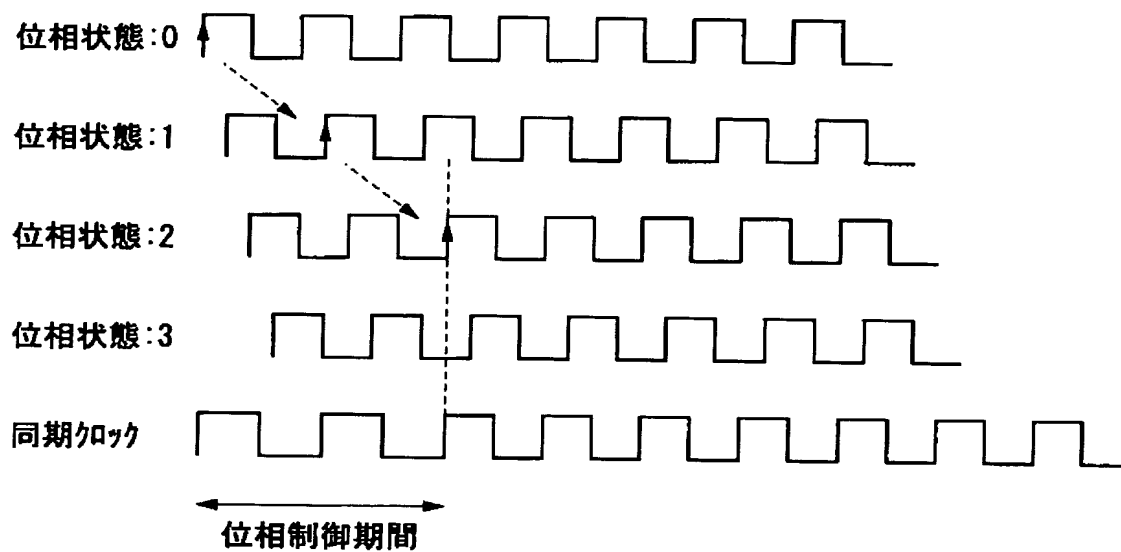


[図14]

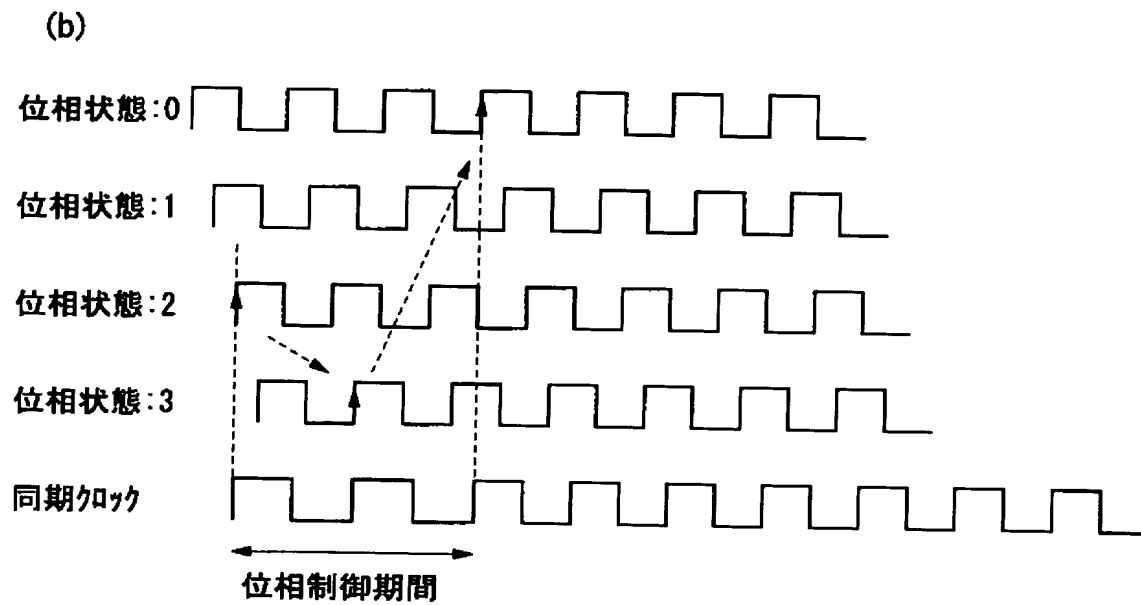
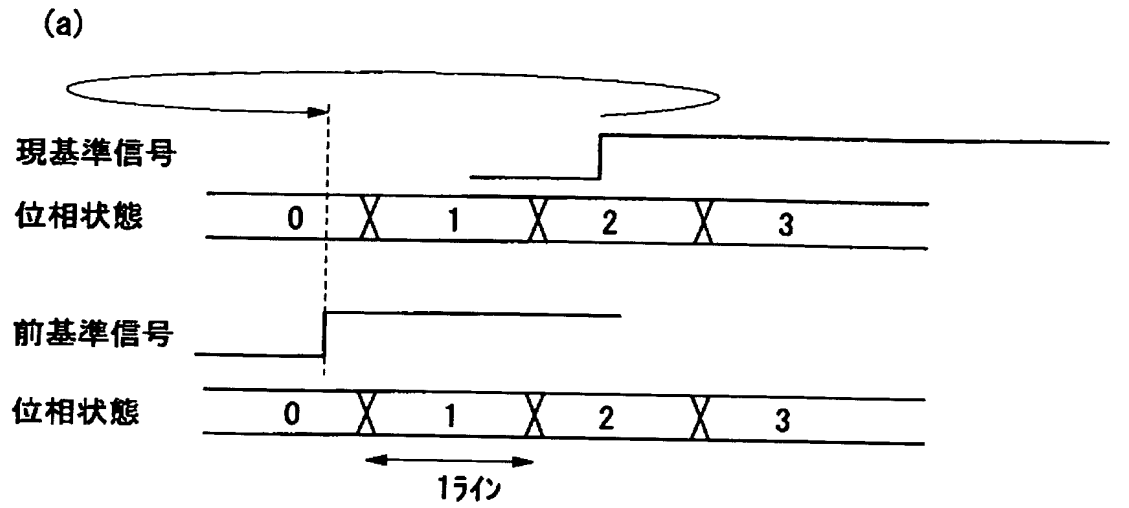
(a)



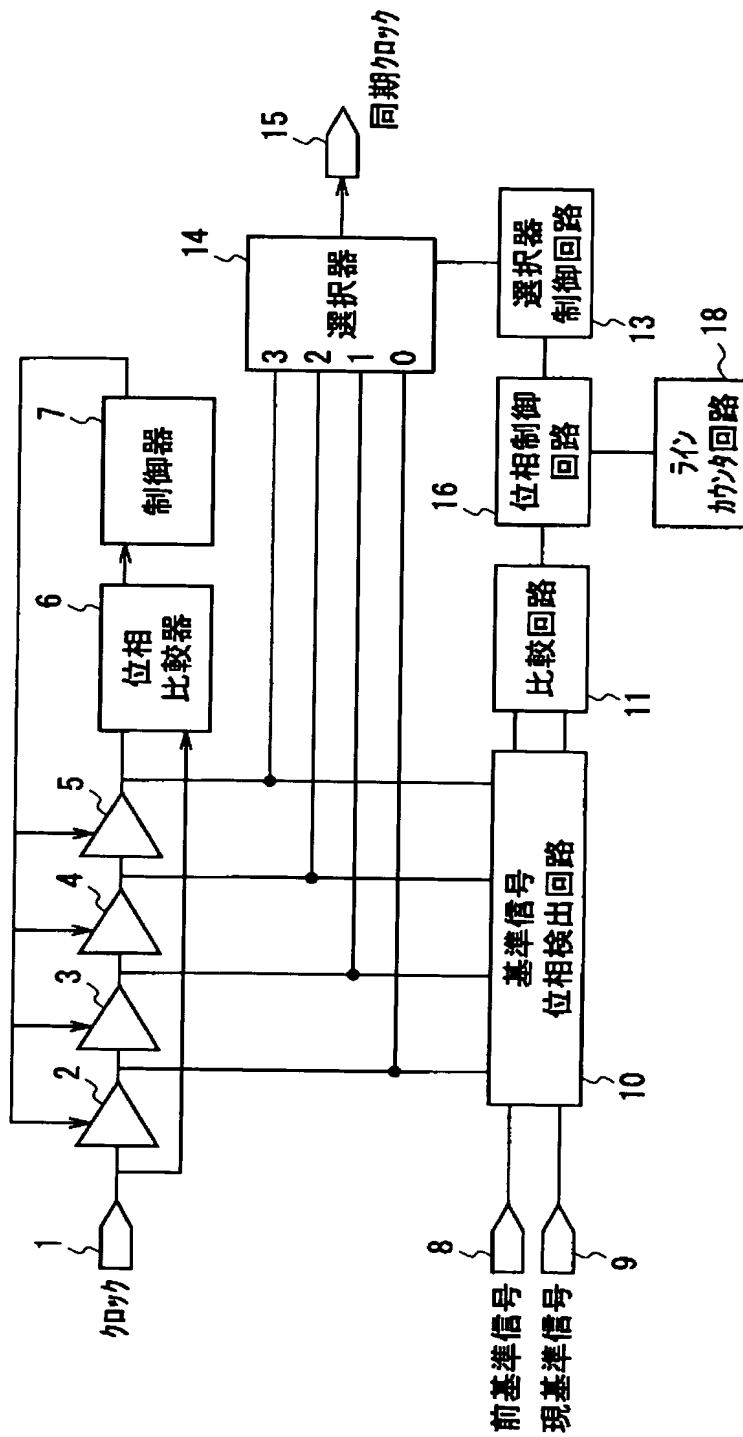
(b)



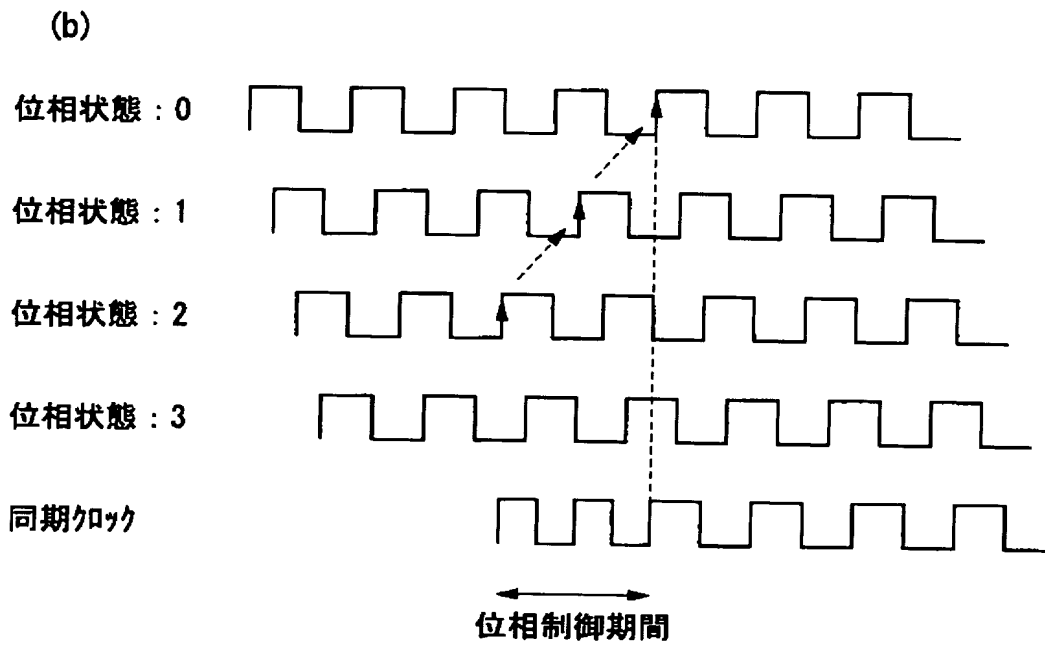
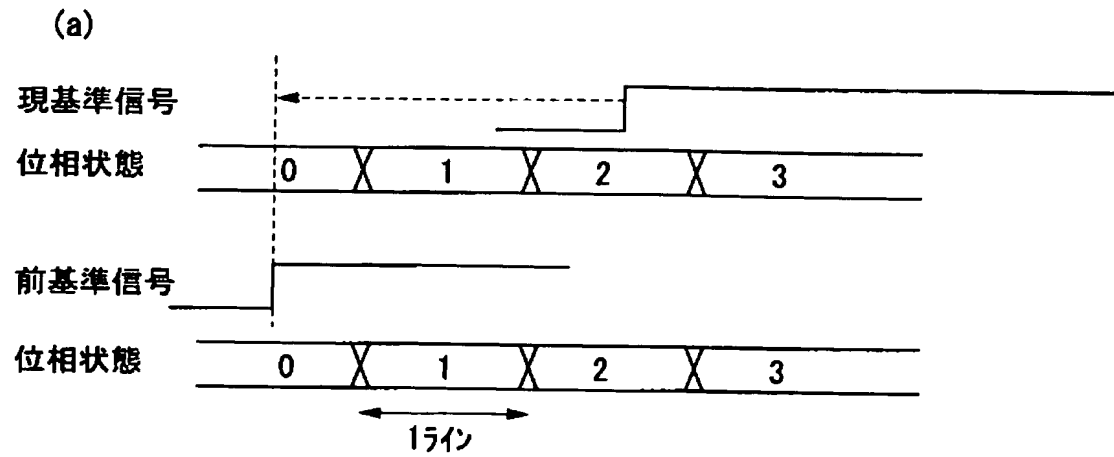
[図15]



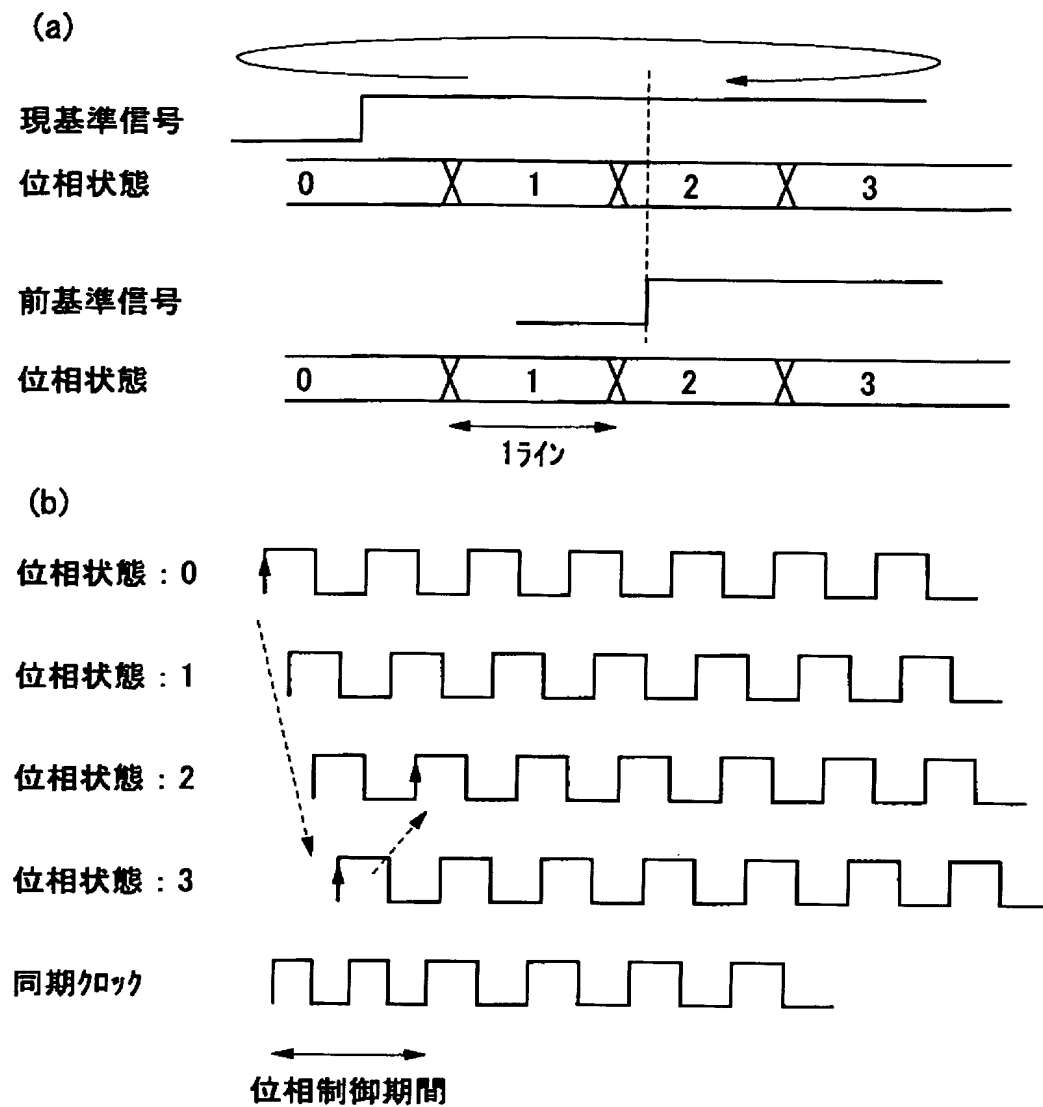
[図16]



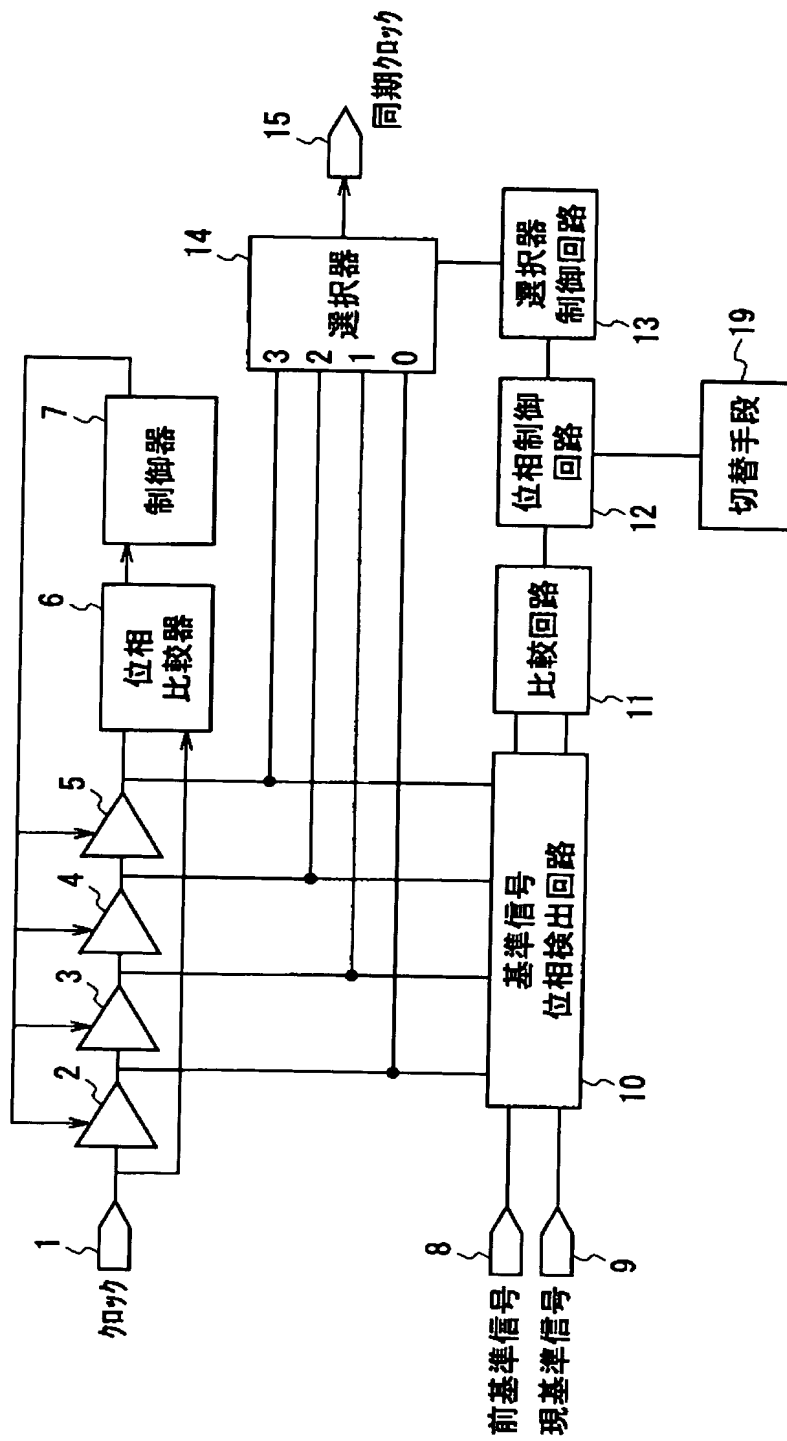
[図17]



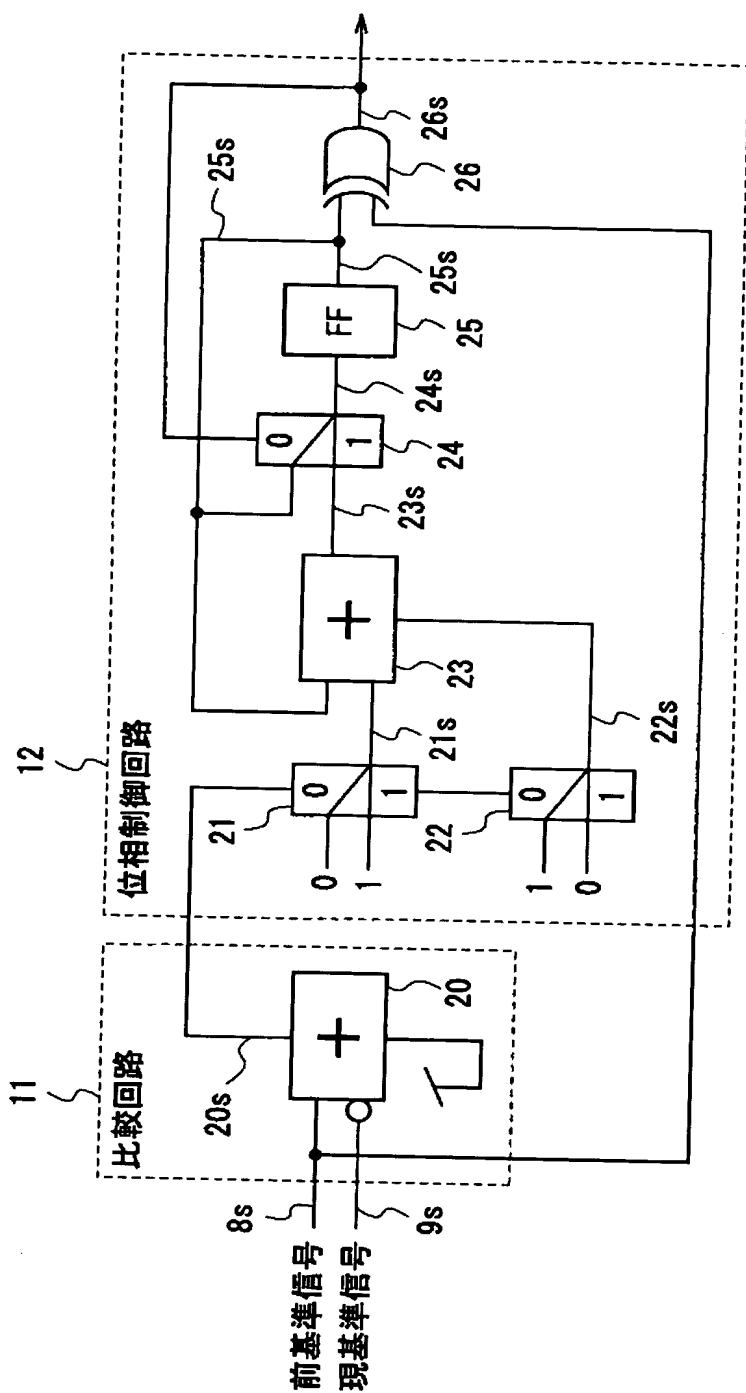
[図18]



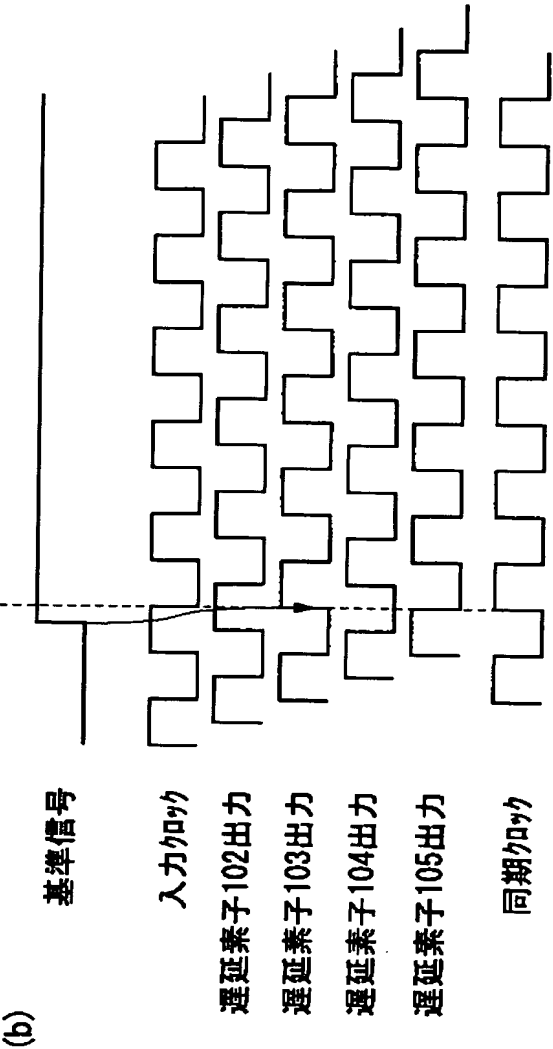
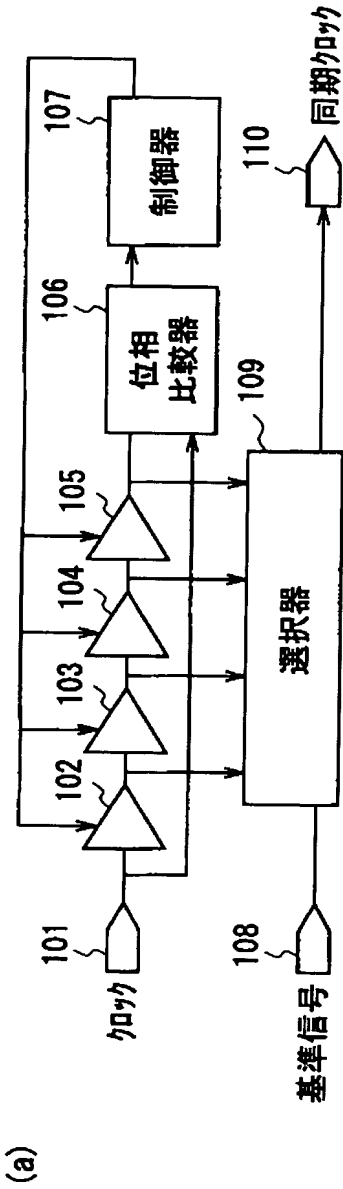
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017296

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K5/13, H03K5/26, H04N5/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K5/13, H03K5/26, H04N5/04, H04N5/95

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-2004	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-290218 A (Matsushita Electric Industrial Co., Ltd.), 04 October, 2002 (04.10.02)	1-10
A	JP 62-188483 A (Matsushita Electric Industrial Co., Ltd.), 18 August, 1987 (18.08.87)	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 December, 2004 (20.12.04)

Date of mailing of the international search report
11 January, 2005 (11.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2004/017296

JP 2002-290218 A

2002.10.04

EP 1246368 A2

US 2002-140472 A1

JP 62-188483 A

1987.08.18

(Family: none)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03K5/13, H03K5/26, H04N5/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03K5/13, H03K5/26, H04N5/04, H04N5/95

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-2004

日本国公開実用新案公報 1971-2004

日本国登録実用新案公報 1994-2004

日本国実用新案登録公報 1996-2004

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-290218 A (松下電器産業株式会社) 2 002.10.04	1-10
A	JP 62-188483 A (松下電器産業株式会社) 198 7.08.18	1-10

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献。

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

20.12.2004

国際調査報告の発送日

11.1.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清水 稔

5X

8525

電話番号 03-3581-1101 内線 6516

JP 2002-290218 A	2002.10.04	EP 1246368 A2 US 2002-140472 A1
JP 62-188483 A	1987.08.18	ファミリーなし